

GSC3290 数据手册

2019 年 9 月

版本号：1.1

北京神州龙芯集成电路设计有限公司

BLX IC Design Co., Ltd



目录

目录	I
图目录	II
表目录	III
1 产品概览.....	4
1.1 产品简介.....	4
1.2 结构框图.....	5
1.3 功能特性.....	5
2 封装引脚.....	9
2.1 封装外形.....	9
2.2 引脚分配.....	11
2.3 信号描述.....	21
3 电气特性.....	33
3.1 绝对最大额定值.....	33
3.2 推荐工作条件.....	33
3.3 直流特性.....	34
3.4 复位时序.....	34
3.5 上电顺序.....	35
4 接口时序.....	36
4.1 JTAG	36
4.2 DDR2	36
4.3 NAND Flash	39
4.4 EMI	40
4.4.1 EMI 读时序	40
4.4.2 EMI 写时序	41
4.4.3 EMI burst 读时序	41
4.4.4 EMI burst 写时序	42
4.5 千兆以太网 GMACn	42
4.5.1 MDIO 时序	43
4.5.2 MII 模式时序	43
4.5.3 RMII 模式时序	44
4.5.4 GMII 模式时序	45
4.5.5 RGMII 模式时序	46
4.6 SD/SDIO.....	47
4.7 LCD	48
4.8 SPI-Mn.....	49
4.9 SPI-S.....	51
4.10 I2C	52
4.11 I2S.....	53
5 修订历史.....	54



图目录

图 1-1 GSC3290 结构框图.....	5
图 2-1 GSC3290 LFBGA256 封装顶视图与底视图.....	9
图 2-2 GSC3290 LFBGA256 封装侧视图与剖面图.....	10
图 2-3 GSC3290 LFBGA256 封装效果图（底视图）.....	11
图 3-1 仅使用内部上电复位电路的复位时序.....	34
图 3-2 复位引脚 <code>sys_rstn</code> 外接上电复位电路的复位时序.....	35
图 3-3 复位引脚 <code>sys_rstn</code> 连接手动复位的复位时序.....	35
图 3-4 GSC3290 不同电源域上电顺序.....	35
图 4-1 JTAG 工作时序.....	36
图 4-2 DDR2 SDRAM 基本时序参数.....	37
图 4-3 DDR2 SDRAM 写操作时序.....	38
图 4-4 DDR2 SDRAM 读操作时序.....	38
图 4-5 NAND Flash 控制器写命令时序.....	39
图 4-6 NAND Flash 控制器写地址时序.....	39
图 4-7 NAND Flash 控制器写数据时序.....	39
图 4-8 NAND Flash 控制器读数据时序.....	40
图 4-9 EMI 读时序参数.....	40
图 4-10 EMI 读时序图.....	40
图 4-11 EMI 写时序图.....	41
图 4-12 EMI burst 读时序图.....	42
图 4-13 EMI burst 写时序图.....	42
图 4-14 MDIO 接口时序图.....	43
图 4-15 MII 模式发送接口时序图.....	43
图 4-16 MII 模式接收接口时序图.....	44
图 4-17 RMII 模式接口时序图.....	45
图 4-18 GMII 模式发送接口时序图.....	45
图 4-19 GMII 模式接收接口时序图.....	46
图 4-20 RGMII 模式发送接口时序图.....	47
图 4-21 RGMII 模式接收接口时序图.....	47
图 4-22 SD/SDIO 接口时序图.....	48
图 4-23 LCD 接口时序图.....	49
图 4-24 SPI-Mn 接口时序图（CPHA=0）.....	49
图 4-25 SPI-Mn 接口时序图（CPHA=1）.....	50
图 4-26 SPI-M1 Flash 启动时序图.....	51
图 4-27 SPI-S 接口时序图（CPHA=0）.....	51
图 4-28 SPI-S 接口时序图（CPHA=1）.....	52
图 4-29 I2C 接口时序图.....	53
图 4-30 I2S 接口信号时序图.....	53



表目录

表 2-1 GSC3290 LFBGA256 封装尺寸参数.....	11
表 2-2 GSC3290 芯片引脚分配[注 1].....	12
表 2-3 GSC3290 信号描述.....	21
表 3-1 GSC3290 芯片绝对最大额定值.....	33
表 3-2 GSC3290 芯片推荐工作条件.....	33
表 3-3 GSC3290 芯片直流特性.....	34
表 4-1 JTAG 时序参数.....	36
表 4-2 DDR2 基本时序参数.....	36
表 4-3 DDR2 写操作时序参数.....	37
表 4-4 DDR2 读操作时序参数.....	38
表 4-5 NAND Flash 控制器时序参数.....	40
表 4-6 EMI 写时序参数.....	41
表 4-7 EMI burst 读时序参数.....	41
表 4-8 EMI 写时序参数.....	42
表 4-9 MDIO 接口时序参数.....	43
表 4-10 MII 模式发送接口时序参数.....	43
表 4-11 MII 模式接收接口时序参数.....	43
表 4-12 RMII 模式接口时序参数.....	44
表 4-13 GMII 模式发送接口时序参数.....	45
表 4-14 GMII 模式接收接口时序参数.....	46
表 4-15 RGMII 模式发送接口时序参数.....	46
表 4-16 RGMII 模式接收接口时序参数.....	47
表 4-17 SD/SDIO 接口时序参数.....	47
表 4-18 LCD 接口时序参数.....	48
表 4-19 SPI-Mn 接口参数.....	49
表 4-20 SPI-M1 启动时序参数.....	50
表 4-21 SPI-S 接口信号时序参数.....	51
表 4-22 I2C 接口信号时序参数（标准和快速模式）.....	52
表 4-23 I2C 接口信号时序参数（高速模式）.....	52
表 4-24 I2S 接口信号时序参数.....	53
表 5-1 GSC3290 数据手册修订历史.....	54



1 产品概览

1.1 产品简介

GSC3290 芯片是一款主要面向工业终端类应用的 SOC 芯片，采用 0.13um 标准 CMOS 制造工艺，主频 200~300MHZ。GSC3290 以 32 位龙芯处理器作为主控处理器，并在片内集成了丰富的功能模块与外围设备，包括两个 10/100/1000Mbps 以太网 GMAC 控制器、USB2.0 OTG 控制器、DDR2 控制器、NAND flash 控制器、SD/SDIO 主控制器、LCD 控制器、I2C、I2S、UART、SPI、PWM、旋转编码器鉴相器、定时器等。丰富的片内集成设备提高了整体性能，降低了系统成本，并可以满足更多的应用需求。

GSC3290 芯片的一个显著特征是采用了 32 位龙芯处理器作为主控处理器。32 位龙芯处理器是一款 5 级流水乱序执行 RISC 处理器，具有独立的 16KB 指令 cache 与 16KB 数据 cache，支持 MMU，可以运行 Linux、WinCE、VxWorks 等主流操作系统。

GSC3290 内部总线架构采用了主流的 AXI、AHB、APB 总线，并针对片内设备的特点与应用需求进行了一系列设计结构优化，提高了系统性能与数据吞吐率。同时，GSC3290 芯片采用了一系列的低功耗优化措施，包括休眠模式、关闭无用时钟、低频运行等，软硬件的配合可以显著降低整个芯片的功耗。针对具体应用，通过软硬件优化措施，GSC3290 芯片可在性能、功耗、灵活性等方面达到一个最佳的平衡。

GSC3290 芯片具有较好的通用性，除了云计算、工业控制、税控终端、智能电网集中器等终端类应用之外，还可以拓展应用于不同的相关领域，例如信息安全领域。

GSC3290 芯片集成了丰富的片上功能，本手册后续部分将分别对此进行详细的介绍。GSC3290 芯片主要集成了如下的片上功能：

- 32 位龙芯处理器作为主控处理器
- 支持 NAND flash、NOR flash、SPIM1-CSN0 与 SPIM1-CSN1 四种启动模式
- DDR2 控制器，最高支持 16x533Mbps 数据传输速率
- NAND flash 控制器，支持 8 位 SLC/MLC NAND flash 颗粒
- 8 位与 16 位外部静态存储器接口（EMI 接口），支持 NOR flash 与 SRAM 等设备
- 10/100/1000Mbps 自适应以太网 GMAC 控制器，支持 MII/GMII/RMII/RGMII 接口
- USB2.0 OTG 控制器
- SD/SDIO 主控制器
- TFT LCD 控制器，最大支持分辨率为 1440x900
- 多通道 DMA 控制器
- 可编程中断控制器
- 1 路旋转编码器接口与 3 通道 PWM 接口，支持电机控制 PWM 与普通 PWM
- 8 个 UART 接口，支持包括 2/3/8 线以及 232/485 等不同类型的串口
- 2 个 SPI 主机接口
- 1 个 SPI 从机接口
- 1 个 I2C 主机接口
- 1 个 I2S 主机接口
- 2 个 CAN2.0B 接口
- 1 个四通道 12 位 SAR ADC



- 4 个可编程定时器
- 1 个看门狗定时器
- 95 个可编程 GPIO 引脚与 32 个外部中断源
- 片上可编程 PLL 时钟发生器

1.2 结构框图

GSC3290 芯片以龙芯处理器为核心,集成了丰富的片上设备,所有的功能模块通过 AMBA 总线进行连接,包括 AXI 总线、AHB 总线以及 APB 总线,构成了一个独立的片上系统。GSC3290 芯片的整体结构框图如图 1-1 所示。

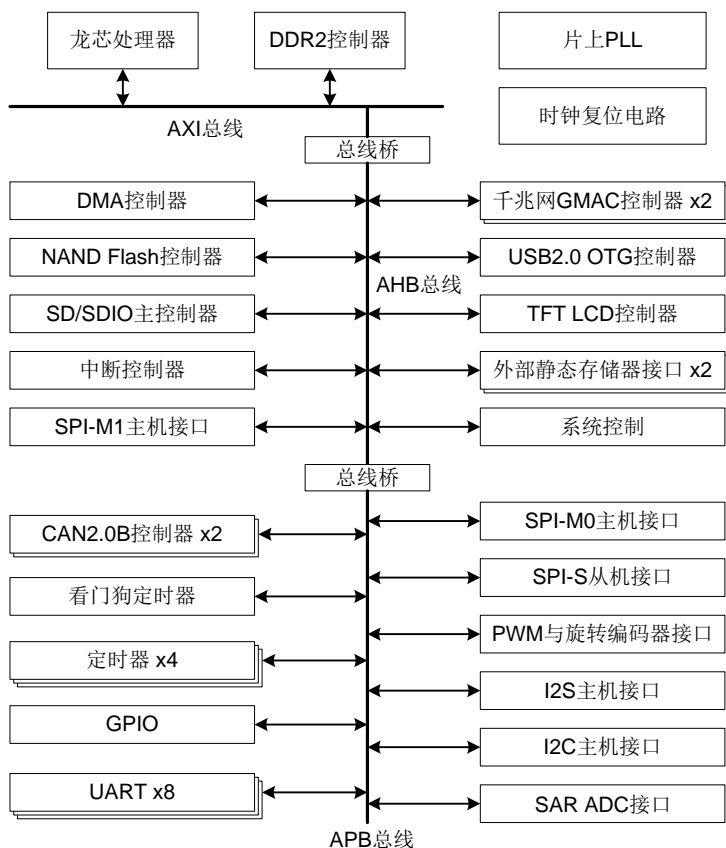


图 1-1 GSC3290 结构框图

1.3 功能特性

龙芯处理器

- 32 位 RISC 体系结构
- 5 级乱序执行流水线
- 包含硬件乘法器与除法器
- 16KB 指令 cache 与 16KB 数据 cache
- 关键字优先与非阻塞 cache
- 支持 MMU 并包含 32 项 TLB
- 支持 EJTAG 片上调试功能

- 采用 AXI 接口
- 支持 Linux、WinCE 等主流操作系统

四种启动模式

- NAND flash 启动
- SPIM1-CSN0 flash 启动(SPI-M1 片选 0)
- SPIM1-CSN1 flash 启动(SPI-M1 片选 1)
- NOR flash 启动(通过 EMI 接口)
- 通过引脚配置选择启动模式



DDR2 内存控制器

- 最高数据传输速率为 16x600Mbps
- 16 位数据位宽
- 最大支持 256MB 存储容量
- 支持 1 个 rank
- 软件可配置 PHY 时序

NAND flash 控制器

- 支持 8 位 SLC/MLC NAND flash 颗粒
- 支持 2KB/4KB 页大小
- 支持硬件 BCH ECC 校验码
- 支持省电模式
- 读写时序参数可配置
- 具有启动功能
- 内置 DMA 引擎

外部静态存储器接口 (EMI 接口)

- 支持 8 位与 16 位接口，分别最大支持 4 个片外设备
- 支持异步 SRAM 与 NOR flash
- 16 位接口支持 NOR flash 启动
- 对于非 SRAM 类型的设备可支持 READY 握手信号
- 有限支持同步 SRAM 与 NOR flash

1000/100/10Mbps 千兆以太网 GMAC 控制器

- 两个千兆以太网 GMAC 控制器
- 支持 IEEE 802.3-2008 Ethernet MAC 协议
- 支持标准 MII/GMII/RMII/RGMII 接口
- 支持 1000/100/10Mbps 传输速率
- 支持全双工和半双工操作模式
- 支持接收和发送 DMA
- 接收和发送 FIFO 各 2K 字节
- 自动丢弃错误帧
- 支持对一个特殊 MAC 地址的检测
- Hash 表支持对单播和多播地址的匹配
- 支持混杂模式，即可接收 LAN 中所有帧
- 通过 MDIO 支持对 PHY 的管理
- 支持 VLAN 帧的识别
- 支持前导码及 Start of Frame Data (SFD) 的发送路径自动插入和接收路径检测
- 支持 CRC 和填充比特的自动插入

USB2.0 OTG 控制器

- 支持主机与设备模式
- 支持非点对点模式（即支持 HUB）
- 内置 DMA 引擎
- 主机模式下共有 8 个 channel
- 设备模式下共有 5 个 endpoints
- 内部 FIFO 大小为 1024x35bit

SD/SDIO 主控制器

- 支持 SD2.0 协议
- 支持 SDIO2.0 协议
- 支持卡的热插拔
- 数据位宽支持 1 位与 4 位
- 内置 DMA 引擎

TFT LCD 控制器

- 支持 8、16 位色深的 TFT 屏
- 支持可编程视频时序
- 支持可编程视频分辨率，最大支持分辨率为 1440x900
- 支持可编程视频控制信号电平极性
- 支持大范围的输入时钟频率
- 支持硬件光标

多通道 DMA 控制器

- 4 通道 DMA
- 支持存储器到存储器、存储器到外设、外设到存储器、外设到外设等传输类型
- 支持 single-block 与 multi-block 传输
- 支持软件握手与硬件握手的 DMA 请求
- 支持 16 个硬件握手请求

可编程中断控制器

- 支持 28 个中断源
- 高电平触发中断
- 每一个中断可分别进行使能与屏蔽
- 所有中断源具有相同的中断优先级
- 软件可强制某一个中断源产生中断
- 可在时钟关闭的情况下接收中断并向 CPU 发出中断请求

SPI 主机接口

- 2 个 SPI 主机接口（SPI-M0 与 SPI-M1）
- SPI-M1 接口支持启动功能，可配置从 CSN0 片选或 CSN1 片选启动



- 支持查询、中断和 DMA 传输模式
- 支持 256 种波特率
- 支持 Byte Sleep
- 数据帧长度可配置为 2-17 位
- 支持 MSB 优先或 LSB 优先
- 支持全双工通信
- 支持全部四种 SPI 模式

SPI 从机接口

- 支持查询、中断和 DMA 传输模式
- 支持仅发送、仅接收、发送和接收、EEPROM 读四种传输模式
- 数据帧长度可配置为 4-16 位
- 支持全部四种 SPI 模式

3 通道 PWM 与旋转编码器接口

- 支持 3 个独立的 PWM 通道
- 支持一个增量式旋转编码器
- PWM 支持两种工作模式：普通 PWM 模式与电机控制 PWM 模式
- PWM 模式下可以产生 6 个单边沿输出、3 个双边沿输出或者混合输出
- PWM 模式下未用通道可用作定时器
- 电机 PWM 模式下每个通道产生两个极性相反的输出
- 支持 3 个捕获输入
- 支持 1 个快速终止输入

UART

- 8 个 UART，均兼容 16550a
- 支持 5~8 位数据位
- 支持 1/1.5/2 位停止位
- UART0/1/2/7 支持 2 线 232 连接
- UART3/4/5 支持 3 线 485 连接
- UART6 支持 8 线全功能串口
- UART3/4/5/6 支持 DMA 传输
- UART7 支持红外接口
- 232 连接支持最大波特率 3.7Mbps
- 485 连接支持最大波特率 12Mbps

I2C 主机接口

- 支持主机模式
- 支持标准、快速与高速三种传输速率
- 支持 7/10 位寻址方式

- 支持查询、中断与 DMA 传输方式

I2S 主机接口

- 支持主机模式
- 1 个接收通道与 1 个发送通道
- 支持 12/16/20/24/32 位采样宽度
- 支持 DMA 传输模式

CAN2.0B 接口

- 两个 CAN2.0B 接口
- 支持 CAN2.0B 协议，兼容 CAN2.0A 协议
- 支持标准帧与扩展帧
- 支持波特率 10K~1Mbps
- 可设置单过滤与双过滤两种过滤模式
- 具有休眠与唤醒功能

ADC 采样

- 4 通道 SAR 型 ADC
- 12 位精度
- 最高采样率 200Ksps
- 支持软件出发、定时器硬件触发与连续触发三种采样触发方式
- 支持对单端信号或者差分信号的采样
- 支持对采样输入信号进行 1/3 衰减
- 支持低功耗模式

可编程定时器

- 4 个 32 位定时器
- 每个定时器时钟独立可配置
- 支持循环定时与单次定时两种工作模式

看门狗定时器

- 32 位看门狗定时器
- 可配置看门狗定时器计数时钟
- 发生超时的时候，允许直接产生系统复位信号，也允许先产生中断再产生系统复位信号

可编程 GPIO 引脚

- 95 个 GPIO 引脚，每个引脚独立可配置
- 其中 32 个 GPIO 可用作外部中断源
- 支持高电平、低电平、上升沿、下降沿等 4 种中断触发模式



- 具有内部消抖电路可用于对外部中断源输入进行消抖

片上 PLL

- 输出频率范围 62.5MHZ~1500MHZ
- 运行时软件可灵活配置 PLL 输出频率

工作电压

- 核心电压：1.2V
- IO 电压：3.3V
- DDR2 接口电压：1.8V
- USB2.0 OTG 数字电压：1.2V
- USB2.0 OTG 模拟电压：3.3V
- PLL 模拟电压：1.2V
- PLL 数字电压：1.2V

- ADC 模拟电压：3.3V
- ADC 内部参考电压：1.2V

温度范围

- -40℃~85℃

工作频率

- DDR2 PHY 最高工作频率 600MHZ
- CPU 最高工作频率 300MHZ
- AXI 总线最高工作频率 300MHZ
- AHB 总线最高工作频率 200MHZ
- APB 总线最高工作频率 66.7MHZ

封装

- LFBGA256 封装



2 封装引脚

2.1 封装外形

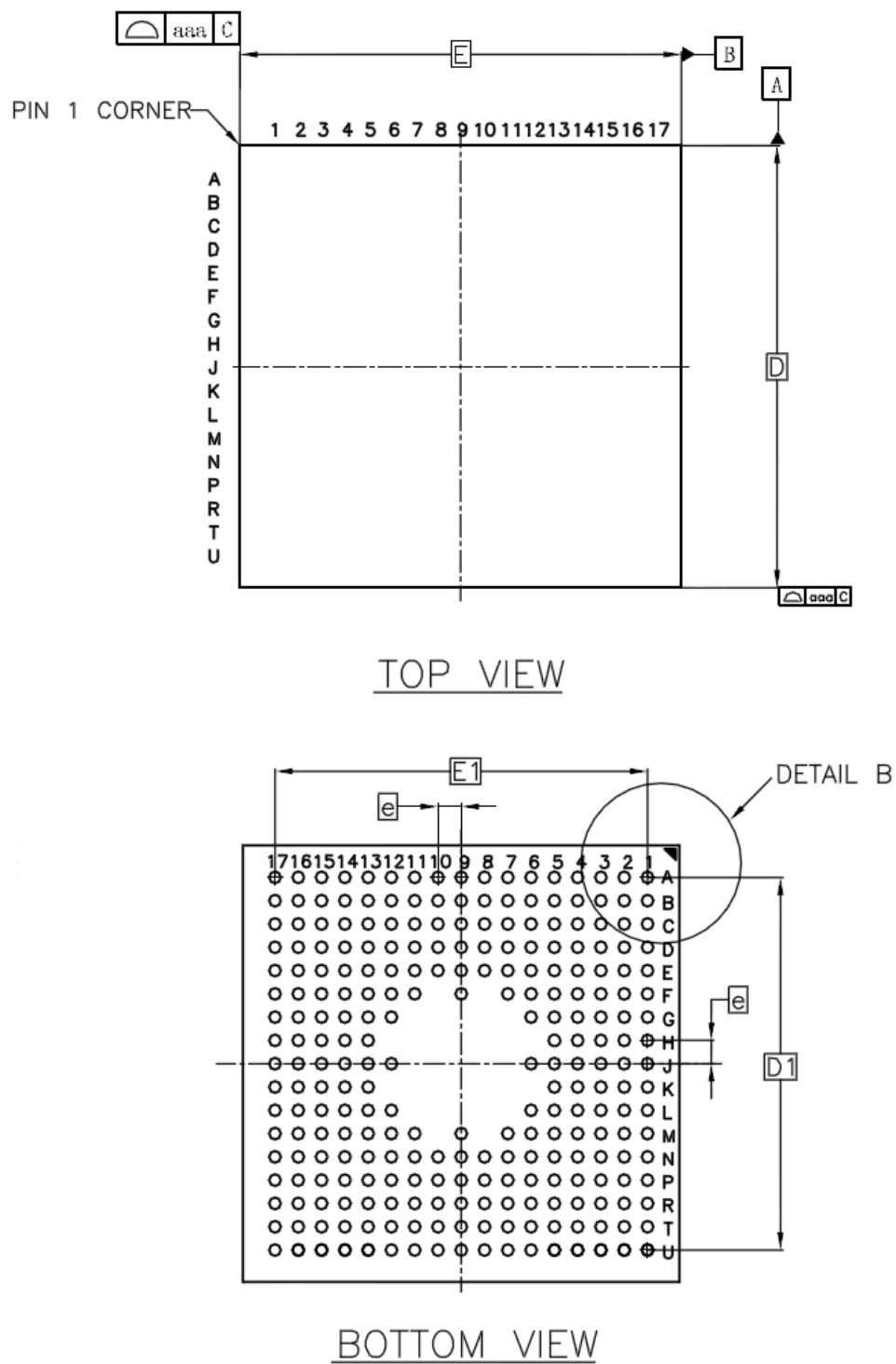


图 2-1 GSC3290 LFBGA256 封装顶视图与底视图

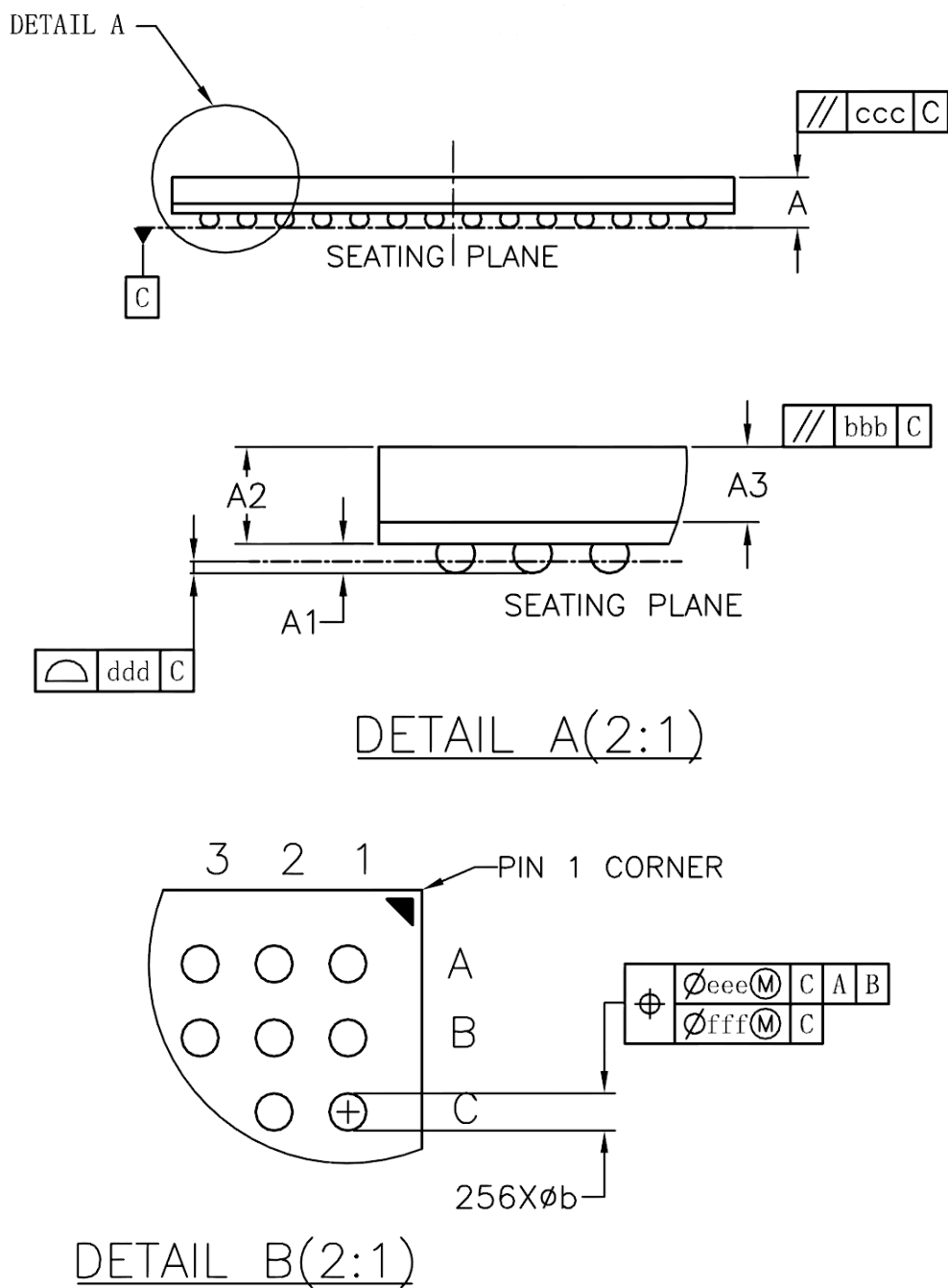


图 2-2 GSC3290 LFBGA256 封装侧视图与剖面图



表 2-1 GSC3290 LFBGA256 封装尺寸参数

符号	尺寸/单位:mm		
	MIN	NOM	MAX
A	-	-	1.40
A1	0.25	0.30	0.35
A2	0.92	0.96	1.00
A3	0.70 BASIC		
D	14.90	15.00	15.10
D1	12.80 BASIC		
E	14.90	15.00	15.10
E1	12.80 BASIC		
e	0.80 BASIC		
b	0.35	0.40	0.45
aaa	0.15		
bbb	0.25		
ccc	0.20		
ddd	0.12		
eee	0.20		
fff	0.10		

2.2 引脚分配

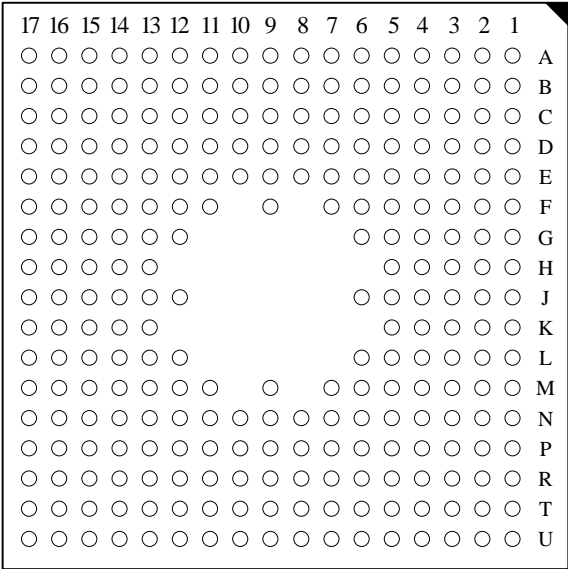


图 2-3 GSC3290 LFBGA256 封装效果图（底视图）

表 2-2 GSC3290 芯片引脚分配^[注 1]

序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
A1	pvss33	I	pvss33						I	
A2	sysrstn	I	sys_rstn					U	I	
A3	pioa27_u3txe_bootmode0	B	gpioa27		u3_txe		boot_mode0		I	8
A4	extclk	I	ext_clk						I	
A5	pioc27_jtdi_u2rx_d_pwmcap1	B	gpioc27	jtdi	u2_rxd	pwm_cap1		U	I	8
A6	pioa28_jtck_u5rxd	B	gpioa28	jtck		u5_rxd		U	I	8
A7	pioa31_spim1csn1_pwmcap0_u5txe	B	gpioa31	spim1_csn1	pwm_cap0	u5_txe			I	8
A8	pioa4_emid9_u3tx_d_pwmout4	B	gpioa4	emi_d9	u3_txd	pwmout_4			I	8
A9	ddr_dq0	B	ddr_dq0						B	
A10	ddr_dqs0	B	ddr_dqs0						B	
A11	ddr_dm0	O	ddr_dm0						O	
A12	ddr_dq6	B	ddr_dq6						B	
A13	ddr_dq9	B	ddr_dq9						B	
A14	ddr_dqs1	B	ddr_dqs1						B	
A15	ddr_dm1	O	ddr_dm1						O	
A16	ddr_dq15	B	ddr_dq15						B	
A17	ddr_vss	I	ddr_vss						I	
B1	pvdd33	I	pvdd33						I	
B2	pioc29_clkout	B	gpioc29	clk_out					I	8
B3	testmode	I	test_mode					D	I	
B4	clkssel	I	clk_sel					D	I	
B5	pioc28_jtdo_u2tx_d_pwmout1	B	gpioc28	jtdo	u2_txd	pwmout_1			O	8
B6	pioc26_jrstn_u5tx_d	B	gpioc26	jrstn		u5_txd		D	I	8
B7	pioa3_emid8_u3rxd_pwmabort	B	gpioa3	emi_d8	u3_rxd	pwm_abort			I	8
B8	pioa5_emid10_u7rxd_pwmout3	B	gpioa5	emi_d10	u7_rxd	pwmout_3			I	8
B9	ddr_dq1	B	ddr_dq1						B	
B10	ddr_dqsb0	B	ddr_dqsb0						B	
B11	ddr_dq4	B	ddr_dq4						B	
B12	ddr_dq7	B	ddr_dq7						B	
B13	ddr_dq10	B	ddr_dq10						B	



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
B14	ddr_dqsb1	B	ddr_dqsb1						B	
B15	ddr_dq13	B	ddr_dq13						B	
B16	ddr_ck	I	ddr_ck						I	
B17	ddr_ckb	I	ddr_ckb						I	
C1	usb_xo	I	usb_xo						O	
C2	usb_xi	I	usb_xi						I	
C3	usb_analogtest	I	usb_analogtest						I	
C4	pll_avdd12	I	pll_avdd12						I	
C5	piao29_jtms_pwmcap2	B	gpiao29	jtms		pwm_cap2		U	I	8
C6	piao30_utmidrvvbus_pwmout0	B	gpiao30	utmi_drvvbus		pwmout_0			I	8
C7	piao6_emid11_u7txd_pwmout2	B	gpiao6	emi_d11	u7_txd	pwmout_2			I	8
C8	pll_io_vss	I	pll_io_vss						I	
C9	ddr_dq2	B	ddr_dq2						B	
C10	ddr_dq3	B	ddr_dq3						B	
C11	ddr_dq5	B	ddr_dq5						B	
C12	ddr_dq8	B	ddr_dq8						B	
C13	ddr_dq11	B	ddr_dq11						B	
C14	ddr_dq12	B	ddr_dq12						B	
C15	ddr_dq14	B	ddr_dq14						B	
C16	ddr_odt	O	ddr_odt						O	
C17	ddr_cke	I	ddr_cke						I	
D1	usb_txr_rkl	B	usb_txr_rkl						B	
D2	usb_dvss33_1	I	usb_dvss33_1						I	
D3	usb_dvdd33_1	I	usb_dvdd33_1						I	
D4	usb_vss33c	I	usb_vss33c						I	
D5	pll_avss12	I	pll_avss12						I	
D6	pll_dvss12	I	pll_dvss12						I	
D7	pll_io_vdd	I	pll_io_vdd						I	
D8	ddr_vss	I	ddr_vss						I	
D9	ddr_vcc18	I	ddr_vcc18						I	
D10	ddr_vcc18	I	ddr_vcc18						I	
D11	ddr_vcc18	I	ddr_vcc18						I	
D12	ddr_vcc18	I	ddr_vcc18						I	



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
D13	ddr_vcc18	I	ddr_vcc18						I	
D14	ddr_vcc18	I	ddr_vcc18						I	
D15	ddr_web	O	ddr_web						O	
D16	ddr_csb	O	ddr_csb						O	
D17	ddr_rasb	O	ddr_rasb						O	
E1	usb_dpls	B	usb_dpls						B	
E2	usb_dmns	B	usb_dmns						B	
E3	usb_dvdd33_3	I	usb_dvdd33_3						I	
E4	usb_dvdd12_2	I	usb_dvdd12_2						I	
E5	pll_dvdd12	I	pll_dvdd12						I	
E6	pvss33	I	pvss33						I	
E7	pvss12	I	pvss12						I	
E8	pvss12	I	pvss12						I	
E9	ddr_vss	I	ddr_vss						I	
E10	ddr_vss	I	ddr_vss						I	
E11	ddr_vss	I	ddr_vss						I	
E12	ddr_vss	I	ddr_vss						I	
E13	ddr_vss	I	ddr_vss						I	
E14	ddr_vcc18	I	ddr_vcc18						I	
E15	ddr_casb	O	ddr_casb						O	
E16	ddr_b1	O	ddr_b1						O	
E17	ddr_b0	O	ddr_b0						O	
F1	usb_idpin	I	usb_idpin						I	
F2	usb_vbus	B	usb_vbus						B	
F3	usb_dvss33_2	I	usb_dvss33_2						I	
F4	usb_dvss12_2	I	usb_dvss12_2						I	
F5	pvdd33	I	pvdd33						I	
F6	pvss33	I	pvss33						I	
F7	pvdd12	I	pvdd12						I	
F9	ddr_pvdd12	I	ddr_pvdd12						I	
F11	ddr_pvdd12	I	ddr_pvdd12						I	
F12	ddr_pvdd12	I	ddr_pvdd12						I	
F13	ddr_vss	I	ddr_vss						I	
F14	ddr_vcc18	I	ddr_vcc18						I	



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
F15	ddr_a10	O	ddr_a10						O	
F16	ddr_b2	O	ddr_b2						O	
F17	ddr_a0	O	ddr_a0						O	
G1	adc_chan1	I	adc_chan1						I	
G2	adc_chan0	I	adc_chan0						I	
G3	adc_avdd	I	adc_avdd						I	
G4	adc_avss	I	adc_avss						I	
G5	pvdd33	I	pvdd33						I	
G6	pvdd12	I	pvdd12						I	
G12	ddr_pvdd12	I	ddr_pvdd12						I	
G13	ddr_vss	I	ddr_vss						I	
G14	ddr_vcc18	I	ddr_vcc18						I	
G15	ddr_a3	O	ddr_a3						O	
G16	ddr_a2	O	ddr_a2						O	
G17	ddr_a1	O	ddr_a1						O	
H1	adc_chan3	I	adc_chan3						I	
H2	adc_chan2	I	adc_chan2						I	
H3	piao13_emia12_lcdrgb6_gmac1grxd0	B	gpioa13	emi_a12	lcd_rgb6	gmac1_grxd0			I	8
H4	pvss12	I	pvss12						I	
H5	pvdd12	I	pvdd12						I	
H13	ddr_vss	I	ddr_vss						I	
H14	ddr_vcc18	I	ddr_vcc18						I	
H15	ddr_a6	O	ddr_a6						O	
H16	ddr_a5	O	ddr_a5						O	
H17	ddr_a4	O	ddr_a4						O	
J1	piao14_emia13_lcdrgb7_gmac1grxd1	B	gpioa14	emi_a13	lcd_rgb7	gmac1_grxd1			I	8
J2	piao15_emia14_lcdrgb8_gmac1grxd2	B	gpioa15	emi_a14	lcd_rgb8	gmac1_grxd2			I	8
J3	piao16_emia15_lcdrgb9_gmac1grxd3	B	gpioa16	emi_a15	lcd_rgb9	gmac1_grxd3			I	8
J4	pvss12	I	pvss12						I	
J5	pvss33	I	pvss33						I	
J6	pvdd12	I	pvdd12						I	
J12	ddr_pvdd12	I	ddr_pvdd12						I	
J13	ddr_vss	I	ddr_vss						I	
J14	ddr_vcc18	I	ddr_vcc18						I	



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
J15	ddr_a9	O	ddr_a9						O	
J16	ddr_a8	O	ddr_a8						O	
J17	ddr_a7	O	ddr_a7						O	
K1	pioa17_emia16_lcdrgb10_gmac1rxclk	B	gpioa17	emi_a16	lcd_rgb10	gmac1_rxclk			I	8
K2	pioa12_emia11_lcdrgb5_gmac1grxdv	B	gpioa12	emi_a11	lcd_rgb5	gmac1_grxdv			I	8
K3	pioa2_emicsn3_u4txe_gmac1grxd4	B	gpioa2	emi_csn3	u4_txe	gmac1_grxd4			I	8
K4	pvss33	I	pvss33						I	
K5	pvdd12	I	pvdd12						I	
K13	ddr_vss	I	ddr_vss						I	
K14	ddr_vcc18	I	ddr_vcc18						I	
K15	ddr_a13	O	ddr_a13						O	
K16	ddr_a12	O	ddr_a12						O	
K17	ddr_a11	O	ddr_a11						O	
L1	piob15_emioen_u5rxd_gmac1grxd5	B	gpiob15	emi_oen	u5_rxd	gmac1_grxd5			I	8
L2	piob16_emiwen_u5txd_gmac1grxd6	B	gpiob16	emi_wen	u5_txd	gmac1_grxd6			I	8
L3	piob17_emirdy_u5txe_gmac1grxd7	B	gpiob17	emi_rdy	u5_txe	gmac1_grxd7			I	8
L4	pvdd33	I	pvdd33						I	
L5	pvss12	I	pvss12						I	
L6	pvdd12	I	pvdd12						I	
L12	ddr_pvdd12	I	ddr_pvdd12						I	
L13	ddr_vss	I	ddr_vss						I	
L14	pvss12	I	pvss12						I	
L15	piob19_emid1_u6txd_sdcmd	B	gpio51	emi_d1	u6_txd	sd_cmd			I	8
L16	piob18_emid0_u6rxd_sdclk	B	gpio50	emi_d0	u6_rxd	sd_clk			I	8
L17	pioa1_emicsn2_u4txd_sdetectn	B	gpio1	emi_csn2	u4_txd	sd_detectn			I	8
M1	pioa25_i2cscl_gmac1gcoll	B	gpioa25	i2c_scl		gmac1_gcoll		U	I	8
M2	pioa26_i2csda_gmac1gcrs	B	gpioa26	i2c_sda		gmac1_gcrs		U	I	8



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
M3	pioc8_u0rx <i>i2s</i> clk_gmac1grxer	B	gpioc8	u0_rxd	i2s_clk	gmac1_grxer			I	8
M4	pvdd33	I	pvdd33						I	
M5	pvdd12	I	pvdd12						I	
M6	pvdd12	I	pvdd12						I	
M7	pvdd12	I	pvdd12						I	
M9	pvdd12	I	pvdd12						I	
M11	pvdd12	I	pvdd12						I	
M12	pvdd12	I	pvdd12						I	
M13	pvss12	I	pvss12						I	
M14	pvss33	I	pvss33						I	
M15	piob22_emid4_u6dtrn_sddat2	B	gpiob22	emi_d4	u6_dtrn	sd_dat2			I	8
M16	piob21_emid3_u6ctsn_sddat1	B	gpiob21	emi_d3	u6_ctsn	sd_dat1			I	8
M17	piob20_emid2_u6rtsn_sddat0	B	gpiob20	emi_d2	u6_rtsn	sd_dat0			I	8
N1	pioa19_emia18_lcdrgb12_gmac1gm <i>dc</i>	B	gpioa19	emi_a18	lcd_rgb12	gmac1_gm <i>dc</i>			I	8
N2	pioa20_emia19_lcdrgb13_gmac1gm <i>dio</i>	B	gpioa20	emi_a19	lcd_rgb13	gmac1_gm <i>dio</i>			I	8
N3	pioc9_u0txd_i2ssdo_gmac1gtxer	B	gpio73	u0_txd	i2s_sdo	gmac1_gtxer			I	8
N4	pvss33	I	pvss33						I	
N5	pvss33	I	pvss33						I	
N6	pvss12	I	pvss12						I	
N7	pvss12	I	pvss12						I	
N8	pvss12	I	pvss12						I	
N9	pvss12	I	pvss12						I	
N10	pvss12	I	pvss12						I	
N11	pvss12	I	pvss12						I	
N12	pvss33	I	pvss33						I	
N13	pvss33	I	pvss33						I	
N14	pvdd33	I	pvdd33						I	
N15	piob25_emid7_u6dcdn_sdpwren	B	gpiob25	emi_d7	u6_dcdn	sd_pwren			I	8
N16	piob24_emid6_u6ri_sd_wprot	B	gpiob24	emi_d6	u6_ri	sd_wprot			I	8



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
N17	piob23_emid5_u6dsrn_sddat3	B	gpiob23	emi_d5	u6_dsrn	sd_dat3			I	8
P1	pioc0_emia6_lcdrgb0_gmac1gtxen	B	gpioc0	emi_a6	lcd_rgb0	gmac1_gtxen			I	8
P2	piob31_emia5_lcdvm_gmac1gtxclk	B	gpiob31	emi_a5	lcd_vm	gmac1_gtxclk			I	8
P3	piob30_emia4_lcdhsync_gmac1gtxrefclk	B	gpiob30	emi_a4	lcd_hsync	gmac1_gtxrefclk			I	8
P4	pvss33	I	pvss33						I	
P5	pvdd33	I	pvdd33						I	
P6	pvdd33	I	pvdd33						I	
P7	pvdd33	I	pvdd33						I	
P8	pvdd33	I	pvdd33						I	
P9	pvss33	I	pvss33						I	
P10	pvss33	I	pvss33						I	
P11	pvss33	I	pvss33						I	
P12	pvss33	I	pvss33						I	
P13	pvdd33	I	pvdd33						I	
P14	pvdd33	I	pvdd33						I	
P15	piob0_nfcsn_emicsn1	B	gpiob0	nf_csn	emi_csn1				I	8
P16	piob14_emicsn0	B	gpiob14	emi_csn0					I	8
P17	pioa0_emicsn1_u4rxd	B	gpiob0	emi_csn1	u4_rxd				I	8
R1	pioc1_emia7_lcdrgb1_gmac1gtxd0	B	gpioc1	emi_a7	lcd_rgb1	gmac1_gtxd0			I	8
R2	pioc2_emia8_lcdrgb2_gmac1gtxd1	B	gpioc2	emi_a8	lcd_rgb2	gmac1_gtxd1			I	8
R3	pioa18_emia17_lcdrgb11_gmac1txclk	B	gpiob18	emi_a17	lcd_rgb11	gmac1_txclk			I	8
R4	pad_pioc30_ddr2dwsel_n	B	gpioc30				ddr2dw_seln	D	I	8
R5	pioc4_spim1miso_u0rxd	B	gpioc4	spim1_miso		u0_rxd			I	8
R6	pioc7_spim1csn0_can1tx_u7txd	B	gpioc7	spim1_csn0	can1_tx	u7_txd			I	8
R7	pioc20_gmac0grxd2_u2rxd	B	gpioc20	gmac0_grxd2		u2_rxd			I	8
R8	pioc17_gmac0grxdv	B	gpioc17	gmac0_grxdv					I	8



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
R9	piob8_nfdat2_emid2_gmac0grxd6	B	gpiob8	nf_dat2	emi_d2	gmac0_grxd6			I	8
R10	piob5_nfrnb_emirdy_gmac0gtxer	B	gpiob5	nf_rnb	emi_rdy	gmac0_gtxer		U	I	8
R11	pioc25_gmac0gmdio	B	gpioc25	gmac0_gmdio					I	8
R12	pioc24_gmac0gmddc	B	gpioc24	gmac0_gmddc					I	8
R13	pioc11_gmac0gtxclk_u4txd	B	gpioc11	gmac0_gtxclk		u4_txd			I	8
R14	pioc12_gmac0gtxen	B	gpioc12	gmac0_gtxen					I	8
R15	pioa9_emid14_spim0mosi_spismiso	B	gpioa9	emi_d14	spim0_mosi	spis_miso			I	8
R16	pioa10_emid15_spim0csn_sn_spiscsn	B	gpioa10	emi_d15	spim0_csn	spis_csn			I	8
R17	piob1_nfcle_emicsn2_bootmode1	B	gpiob1	nf_cle	emi_csn2		boot_mode1		I	8
T1	pioc3_emia9_lcdrgb3_gmac1gtxd2	B	gpioc3	emi_a9	lcd_rgb3	gmac1_gtxd2			I	8
T2	pioa11_emia10_lcdrgb4_gmac1gtxd3	B	gpioa11	emi_a10	lcd_rgb4	gmac1_gtxd3			I	8
T3	piob26_emia0_gmac1gtxd4	B	gpiob26	emi_a0		gmac1_gtxd4			I	8
T4	pioa21_emia20_lcdrgb14_can0rx	B	gpioa21	emi_a20	lcd_rgb14	can0_rx			I	8
T5	pioc5_spim1mosi_u0txd	B	gpioc5	spim1_mosi		u0_txd			I	8
T6	pioa23_u1rxdi2ssdi_can1rx	B	gpioa23	u1_rxd	i2s_sdi	can1_rx			I	8
T7	pioc19_gmac0grxd1	B	gpioc19	gmac0_grxd1					I	8
T8	pioc22_gmac0rxclk	B	gpioc22	gmac0_rxclk					I	8
T9	piob7_nfdat1_emid1_gmac0grxd5	B	gpiob7	nf_dat1	emi_d1	gmac0_grxd5			I	8
T10	piob4_nfwen_emiwen_gmac0grxer	B	gpio36	nf_wen	emi_wen	gmac0_grxer			I	8
T11	piob3_nfren_emioen_gmac0gcrs	B	gpiob3	nf_ren	emi_oen	gmac0_gcrs			I	8
T12	pioc23_gmac0txclk_u4txe	B	gpioc23	gmac0_txclk		u4_txe			I	8
T13	pioc14_gmac0gtxd1	B	gpioc14	gmac0_gtxd1					I	8



序号	名称	类型	功能					上拉 / 下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
T14	pioc16_gmac0gtxd3_u1txd	B	gpiorc16	gmac0_gtxd3		u1_txd			I	8
T15	piob11_nfdat5_emid5_gmac0gtxd5	B	gpiob11	nf_dat5	emi_d5	gmac0_gtxd5			I	8
T16	piob13_nfdat7_emid7_gmac0gtxd7	B	gpiob13	nf_dat7	emi_d7	gmac0_gtxd7			I	8
T17	pioa8_emid13_spim0miso_spismosi	B	gpiora8	emi_d13	spim0_miso	spis_mosi			I	8
U1	piob27_emia1_pwmout5_gmac1gtxd5	B	gpiob27	emi_a1	pwmout_5	gmac1_gtxd5			I	8
U2	piob28_emia2_lcdvclk_gmac1gtxd6	B	gpiob28	emi_a2	lcd_vclk	gmac1_gtxd6			I	8
U3	piob29_emia3_lcdvsync_gmac1gtxd7	B	gpiob29	emi_a3	lcd_vsync	gmac1_gtxd7				8
U4	pioa22_emia21_lcdrgb15_can0tx	B	gpiora22	emi_a21	lcd_rgb15	can0_tx			I	8
U5	pioc6_spim1sck_can1rx_u7rx	B	gpiorc6	spim1_sck	can1_rx	u7_rxd			I	8
U6	pioa24_u1txd_i2s_ws_can1tx	B	gpiora24	u1_txd	i2s_ws	can1_tx			I	8
U7	pioc18_gmac0grxd0	B	gpiorc18	gmac0_grxd0					I	8
U8	pioc21_gmac0grxd3_u2txd	B	gpiorc21	gmac0_grxd3		u2_txd			I	8
U9	piob6_nfdat0_emid0_gmac0grxd4	B	gpiob6	nf_dat0	emi_d0	gmac0_grxd4			I	8
U10	piob9_nfdat3_emid3_gmac0grxd7	B	gpiob9	nf_dat3	emi_d3	gmac0_grxd7			I	8
U11	piob2_nfale_emicsn3_gmac0gcoll	B	gpiob2	nf_ale	emi_csn3	gmac0_gcoll			I	8
U12	pioc10_gmac0gtxrefclk_u4rx	B	gpiorc10	gmac0_gtxrefclk		u4_rxd			I	8
U13	pioc13_gmac0gtxd0	B	gpiorc13	gmac0_gtxd0					I	8
U14	pioc15_gmac0gtxd2_u1rx	B	gpiorc15	gmac0_gtxd2		u1_rxd			I	8
U15	piob10_nfdat4_emid4_gmac0gtxd4	B	gpiob10	nf_dat4	emi_d4	gmac0_gtxd4			I	8
U16	piob12_nfdat6_emid6_gmac0gtxd6	B	gpiob12	nf_dat6	emi_d6	gmac0_gtxd6			I	8



序号	名称	类型	功能					上拉/下拉	复位状态	驱动能力
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5			
U17	piao7_emid12_spim0sck k_spissck	B	gpioa7	emi_d12	spim0_sck	spis_sck			I	8

[注 1]: 表中的缩写 I 表示输入, O 表示输出, B 表示双向, U 表示上拉, D 表示下拉, 驱动能力的单位是毫安。

2.3 信号描述

表 2-3 GSC3290 信号描述

名称	类型	上拉 下拉	功能描述	对应 IO 名称
SD/SDIO 主控制器接口				
sd_detectn/sd_int	I		SD 卡检测信号 (低有效) /eSDIO 卡中断线	piao1[注 1]
sd_clk	O		SD/SDIO 卡时钟	piob18
sd_cmd	B		SD/SDIO 卡命令	piob19
sd_dat0	B		SD/SDIO 卡数据第 0 位	piob20
sd_dat1	B		SD/SDIO 卡数据第 1 位	piob21
sd_dat2	B		SD/SDIO 卡数据第 2 位	piob22
sd_dat3	B		SD/SDIO 卡数据第 3 位	piob23
sd_wprot	I		SD 卡写保护信号, 1 代表写保护	piob24
sd_pwren	O		SD 卡的功耗使能控制信号 0 – power off 1 – power on	piob25
以太网 GMAC0 控制器接口				
gmac0txclk	I	-	GMAC0 发送时钟, MII 模式下为 25MHz/2.5MHz, 对应 100/10Mbps, 来自于 PHY 芯片; RMII 模式下为 50MHz RMII 时钟, 来自于 PHY 芯片或晶振; GMII 和 RGMII 模式下不用	pioc23
gmac0rxclk	I	-	GMAC0 接收时钟, 来自于 PHY 芯片; 125MHz/25MHz/2.5MHz 对应 1000/100/10Mbps; 仅在 MII/GMII/RGMII 模式下使用	pioc22
gmac0gtxrefclk	I	-	GMAC0 发送参考时钟, 固定为 125MHz, 仅在 GMII 和 RGMII 模式下使用	pioc10
gmac0gtxclk	O	-	GMAC0 输出发送时钟, 由芯片输出给 PHY; 125MHz/25MHz/2.5MHz 对应 1000/100/10Mbps, 仅在 GMII 和 RGMII	pioc11



名称	类型	上拉 下拉	功能描述	对应 IO 名称
			模式下使用	
gmac0gtxen	O	-	GMAC0 发送数据使能信号 GMII/MII/RMII 模式：为高表示发送数据 gmac0gtxd*有效 RGMII 模式：该信号作为发送数据的控制信号 (rgmii_tctl_o)，在时钟的上下沿都要驱动。	pioc12
gmac0gtxd0	O	-	GMAC0 发送数据第 0 位	pioc13
gmac0gtxd1	O	-	GMAC0 发送数据第 1 位	pioc14
gmac0gtxd2	O	-	GMAC0 发送数据第 2 位，仅在 MII/GMII/RGMII 模式下使用	pioc15
gmac0gtxd3	O	-	GMAC0 发送数据第 3 位，仅在 MII/GMII/RGMII 模式下使用	pioc16
gmac0gtxd4	O	-	GMAC0 发送数据第 4 位，仅在 GMII 模式下使用	piob10
gmac0gtxd5	O	-	GMAC0 发送数据第 5 位，仅在 GMII 模式下使用	piob11
gmac0gtxd6	O	-	GMAC0 发送数据第 6 位，仅在 GMII 模式下使用	piob12
gmac0gtxd7	O	-	GMAC0 发送数据第 7 位，仅在 GMII 模式下使用	piob13
gmac0gtxer	O	U	GMAC0 发送错误，为高表示 gmac0gtxd*输出数据总线上发送错误或载波扩展错误，仅在 GMII 模式下使用；该引脚由于引脚复用信号 nf_rnb 内部上拉而带有内部上拉	piob5
gmac0grxdv	I	-	GMAC0 接收数据有效信号，该信号由 PHY 输出； GMII/MII 模式：为高表示接收数据 gmac0grxd*有效 RMII 模式：同时作为 CRS(Carrier Sense)和数据有效指示 RGMII 模式：作为接收控制信号 (rgmii_rctl_i)，在时钟的上下沿都要采样	pioc17
gmac0grxd0	I	-	GMAC0 接收数据第 0 位	pioc18
gmac0grxd1	I	-	GMAC0 接收数据第 1 位	pioc19
gmac0grxd2	I	-	GMAC0 接收数据第 2 位，仅在 MII/GMII/RGMII 模式下使用	pioc20
gmac0grxd3	I	-	GMAC0 接收数据第 3 位，仅在 MII/GMII/RGMII 模式下使用	pioc21
gmac0grxd4	I	-	GMAC0 接收数据第 4 位，仅在 GMII 模式下使用	piob6



名称	类型	上拉 下拉	功能描述	对应 IO 名称
gmac0grxd5	I	-	GMAC0 接收数据第 5 位, 仅在 GMII 模式下使用	piob7
gmac0grxd6	I	-	GMAC0 接收数据第 6 位, 仅在 GMII 模式下使用	piob8
gmac0grxd7	I	-	GMAC0 接收数据第 7 位, 仅在 GMII 模式下使用	piob9
gmac0grxer	I	-	GMAC0 接收数据错误, 该信号由 PHY 输出, 仅在 GMII 和 MII 模式下使用	piob4
gmac0gcrs	I	-	GMAC0 载波监听信号, 该信号由 PHY 输出, 当发送或接收不在空闲状态时置位, 该信号仅在 GMII 和 MII 模式下使用	piob3
gmac0gcol	I	-	GMAC0 发送与接收数据冲突信号, 仅在 GMII 和 MII 模式下使用	piob2
gmac0gmdc	O	-	GMAC0 控制字时钟	pioc24
gmac0gmdio	B	-	GMAC0 控制字串行数据, 控制器用该信号传输控制和数据信息到 PHY; 在读 PHY 寄存器操作时用该信号传输寄存器信息	pioc25
以太网 GMAC1 控制器接口				
gmac1txclk	I	-	GMAC1 发送时钟, MII 模式下为 25MHz/2.5MHz, 对应 100/10Mbps, 来自于 PHY 芯片; RMII 模式下为 50MHz RMII 时钟, 来自于 PHY 芯片或晶振; GMII 和 RGMII 模式下不用	pioa18
gmac1rxclk	I	-	GMAC1 接收时钟, 来自于 PHY 芯片; 125MHz/25MHz/2.5MHz 对应 1000/100/10Mbps; 仅在 MII/GMII/RGMII 模式下使用	pioa17
gmac1gtxrefclk	I	-	GMAC1 发送参考时钟, 固定为 125MHz, 仅在 GMII 和 RGMII 模式下使用	piob30
gmac1gtxclk	O	-	GMAC1 输出发送时钟, 由芯片输出给 PHY; 125MHz/25MHz/2.5MHz 对应 1000/100/10Mbps, 仅在 GMII 和 RGMII 模式下使用	piob31
gmac1gtxen	O	-	GMAC1 发送数据使能信号 GMII/MII/RMII 模式: 为高表示发送数据 gmac1gtxd*有效 RGMII 模式: 该信号作为发送数据的控制信号 (rgmii_tctl_o), 在时钟的上下沿都要驱动。	pioc0
gmac1gtxd0	O	-	GMAC1 发送数据第 0 位	pioc1
gmac1gtxd1	O	-	GMAC1 发送数据第 1 位	pioc2



名称	类型	上拉 下拉	功能描述	对应 IO 名称
gmac1gtxd2	O	-	GMAC1 发送数据第 2 位，仅在 MII/GMII/RGMII 模式下使用	pioc3
gmac1gtxd3	O	-	GMAC1 发送数据第 3 位，仅在 MII/GMII/RGMII 模式下使用	pioa11
gmac1gtxd4	O	-	GMAC1 发送数据第 4 位，仅在 GMII 模式下使用	piob26
gmac1gtxd5	O	-	GMAC1 发送数据第 5 位，仅在 GMII 模式下使用	piob27
gmac1gtxd6	O	-	GMAC1 发送数据第 6 位，仅在 GMII 模式下使用	piob28
gmac1gtxd7	O	-	GMAC1 发送数据第 7 位，仅在 GMII 模式下使用	piob29
gmac1gtxer	O	-	GMAC1 发送错误，为高表示 gmac1gtxd* 输出数据总线上发送错误或载波扩展错误，仅在 GMII 模式下使用	pioc9
gmac1grxdv	I	-	GMAC1 接收数据有效信号，该信号由 PHY 输出； GMII/MII 模式：为高表示接收数据 gmac1grxd* 有效 RMII 模式：同时作为 CRS(Carrier Sense) 和数据有效指示 RGMII 模式：作为接收控制信号 (rgmii_rctl_i)，在时钟的上下沿都要采样	pioa12
gmac1grxd0	I	-	GMAC1 接收数据第 0 位	pioa13
gmac1grxd1	I	-	GMAC1 接收数据第 1 位	pioa14
gmac1grxd2	I	-	GMAC1 接收数据第 2 位，仅在 MII/GMII/RGMII 模式下使用	pioa15
gmac1grxd3	I	-	GMAC1 接收数据第 3 位，仅在 MII/GMII/RGMII 模式下使用	pioa16
gmac1grxd4	I	-	GMAC1 接收数据第 4 位，仅在 GMII 模式下使用	pioa2
gmac1grxd5	I	-	GMAC1 接收数据第 5 位，仅在 GMII 模式下使用	piob15
gmac1grxd6	I	-	GMAC1 接收数据第 6 位，仅在 GMII 模式下使用	piob16
gmac1grxd7	I	-	GMAC1 接收数据第 7 位，仅在 GMII 模式下使用	piob17
gmac1grxer	I	-	GMAC1 接收数据错误，该信号由 PHY 输出，仅在 GMII 和 MII 模式下使用	pioc8
gmac1gcrs	I	-	GMAC1 载波监听信号，该信号由 PHY 输出，当发送或接收不在空闲状态时置位，该信号仅在 GMII 和 MII 模式下使用	pioa26



名称	类型	上拉 下拉	功能描述	对应 IO 名称
gmac1gcol	I	-	GMAC1 发送与接收数据冲突信号, 仅在 GMII 和 MII 模式下使用	pioa25
gmac1gmdc	O	-	GMAC1 控制字时钟	pioa19
gmac1gmdio	B	-	GMAC1 控制字串行数据, 控制器用该信号传输控制和数据信息到 PHY; 在读 PHY 寄存器操作时用该信号传输寄存器信息	pioa20
SPI 主控制器 0 接口				
spim0_miso	I		SPI 主设备 0 数据输入信号	pioa8
spim0_mosi	O		SPI 主设备 0 数据输出信号	pioa9
spim0_sck	O		SPI 主设备 0 器件工作时钟信号, 主设备输出。	pioa7
spim0_csn	O		SPI 主设备 0 片选, 低有效。片选也可以用 GPIO 实现	pioa10
SPI 主控制器 1 接口				
spim1_miso	I		SPI 主设备 1 数据输入信号	pioc4
spim1_mosi	O		SPI 主设备 1 数据输出信号	pioc5
spim1_sck	O		SPI 主设备 1 器件工作时钟信号, 主设备输出	pioc6
spim1_csn0	O		SPI 主设备 1 片选 0, 低有效。不作为 SPI Flash 启动时, 片选也可以用 GPIO 实现	pioc7
spim1_csn1	O		SPI 主设备 1 片选 1, 低有效。不作为 SPI Flash 启动时, 片选也可以用 GPIO 实现	pioa31
SPI 从控制器接口				
spis_miso	O		SPI 从设备数据输出信号	pioa9
spis_mosi	I		SPI 从设备数据输入信号	pioa8
spis_sck	I		SPI 从设备器件工作时钟输入信号	pioa7
spis_csn	I		SPI 从设备片选输入信号, 低有效	pioa10
I2S 接口				
i2s_clk	O		I2S 位时钟	pioc8
i2s_sdi	I		I2S 串行数据输入	pioa23
i2s_sdo	O		I2S 串行数据输出	pioc9
i2s_ws	O		I2S 声道选择信号	pioa24
NAND Flash 控制器接口				
nfcsn	O		NAND Flash 片选信号, 低有效	piob0
nfcle	O		NAND Flash 命令锁存使能信号	piob1
nfale	O		NAND Flash 地址锁存使能信号	piob2
nfren	O		NAND Flash 读使能信号, 低有效	piob3
nfwen	O		NAND Flash 写使能信号, 低有效	piob4
nfrnb	I	U	NAND Flash 的空/忙状态信号, 1 为空闲, 0 为忙	piob5
nfdat0	B		NAND Flash 数据第 0 位	piob6



名称	类型	上拉 下拉	功能描述	对应 IO 名称
nfdat1	B		NAND Flash 数据第 1 位	piob7
nfdat2	B		NAND Flash 数据第 2 位	piob8
nfdat3	B		NAND Flash 数据第 3 位	piob9
nfdat4	B		NAND Flash 数据第 4 位	piob10
nfdat5	B		NAND Flash 数据第 5 位	piob11
nfdat6	B		NAND Flash 数据第 6 位	piob12
nfdat7	B		NAND Flash 数据第 7 位	piob13
外部静态存储器接口				
emi_csn0	O		EMI 片选第 0 位, 低有效	piob0
emi_csn1	O		EMI 片选第 1 位, 低有效	piob1 或 pioa0
emi_csn2	O		EMI 片选第 2 位, 低有效	piob2 或 pioa1
emi_csn3	O		EMI 片选第 3 位, 低有效	pioa2
emi_oen	O		EMI 读使能, 低有效	pioc3 或 piob15
emi_wen	O		EMI 写使能, 低有效。	piob4 或 piob16
emi_rdy	I	U	外部 NOR Flash Ready 信号	piob5 或 piob17
emi_d0	B		EMI 数据第 0 位	piob6 或 piob18
emi_d1	B		EMI 数据第 1 位	piob7 或 piob18
emi_d2	B		EMI 数据第 2 位	piob8 或 piob18
emi_d3	B		EMI 数据第 3 位	piob9 或 piob18
emi_d4	B		EMI 数据第 4 位	piob10 或 piob19
emi_d5	B		EMI 数据第 5 位	piob11 或 piob20
emi_d6	B		EMI 数据第 6 位	piob12 或 piob21
emi_d7	B		EMI 数据第 7 位	piob13 或 piob22
emi_d8	B		EMI 数据第 8 位	pioa3
emi_d9	B		EMI 数据第 9 位	pioa4
emi_d10	B		EMI 数据第 10 位	pioa5
emi_d11	B		EMI 数据第 11 位	pioa6
emi_d12	B		EMI 数据第 12 位	pioa7
emi_d13	B		EMI 数据第 13 位	pioa8
emi_d14	B		EMI 数据第 14 位	pioa9
emi_d15	B		EMI 数据第 15 位	pioa10
emi_a0	O		EMI 地址第 0 位	piob26
emi_a1	O		EMI 地址第 1 位	piob27
emi_a2	O		EMI 地址第 2 位	piob28
emi_a3	O		EMI 地址第 3 位	piob29
emi_a4	O		EMI 地址第 4 位	piob30
emi_a5	O		EMI 地址第 5 位	piob31
emi_a6	O		EMI 地址第 6 位	pioc0
emi_a7	O		EMI 地址第 7 位	pioc1
emi_a8	O		EMI 地址第 8 位	pioc2
emi_a9	O		EMI 地址第 9 位	pioc3



名称	类型	上拉 下拉	功能描述	对应 IO 名称
emi_a10	O		EMI 地址第 10 位	pioa11
emi_a11	O		EMI 地址第 11 位	pioa12
emi_a12	O		EMI 地址第 12 位	pioa13
emi_a13	O		EMI 地址第 13 位	pioa14
emi_a14	O		EMI 地址第 14 位	pioa15
emi_a15	O		EMI 地址第 15 位	pioa16
emi_a16	O		EMI 地址第 16 位	pioa17
emi_a17	O		EMI 地址第 17 位	pioa18
emi_a18	O		EMI 地址第 18 位	pioa19
emi_a19	O		EMI 地址第 19 位	pioa20
emi_a20	O		EMI 地址第 19 位	pioa21
emi_a21	O		EMI 地址第 19 位	pioa22
LCD 控制器接口				
vclk	O		LCD 时钟	piob28
vsync	O		LCD 帧扫描信号，即垂直同步信号	piob29
hsync	O		LCD 行扫描信号，即水平同步信	piob30
vm	O		LCD 可视使能信号	piob31
rgb0	O		LCD 像素数据第 0 位 (B0)	pioc0
rgb1	O		LCD 像素数据第 1 位 (B1)	pioc1
rgb2	O		LCD 像素数据第 2 位 (B2)	pioc2
rgb3	O		LCD 像素数据第 3 位 (B3)	pioc3
rgb4	O		LCD 像素数据第 4 位 (B4)	pioa11
rgb5	O		LCD 像素数据第 5 位 (G0)	pioa12
rgb6	O		LCD 像素数据第 6 位 (G1)	pioa13
rgb7	O		LCD 像素数据第 7 位 (G2)	pioa14
rgb8	O		LCD 像素数据第 8 位 (G3)	pioa15
rgb9	O		LCD 像素数据第 9 位 (G4)	pioa16
rgb10	O		LCD 像素数据第 10 位 (G5)	pioa17
rgb11	O		LCD 像素数据第 11 位 (R0)	pioa18
rgb12	O		LCD 像素数据第 12 位 (R1)	pioa19
rgb13	O		LCD 像素数据第 13 位 (R2)	pioa20
rgb14	O		LCD 像素数据第 14 位 (R3)	pioa21
rgb15	O		LCD 像素数据第 15 位 (R4)	pioa22
DDR2 控制器接口				
cke	O		DDR2 时钟使能	专用引脚，未进行复用
ck	O		DDR2 时钟信号	
ckb	O		DDR2 反向时钟信号	
odt	O		DDR2 ODT 信号	
csb	O		DDR2 片选信号	
rasb	O		DDR2 行激活信号	
casb	O		DDR2 列激活信号	



名称	类型	上拉 下拉	功能描述	对应 IO 名称
web	O		DDR2 写使能信号	
dm0	O		DDR2 数据屏蔽第 0 位	
dm1	O		DDR2 数据屏蔽第 1 位	
addr0	O		DDR2 地址第 0 位	
addr1	O		DDR2 地址第 1 位	
addr2	O		DDR2 地址第 2 位	
addr3	O		DDR2 地址位 3 位	
addr4	O		DDR2 地址第 4 位	
addr5	O		DDR2 地址第 5 位	
addr6	O		DDR2 地址第 6 位	
addr7	O		DDR2 地址第 7 位	
addr8	O		DDR2 地址第 8 位	
addr9	O		DDR2 地址第 9 位	
addr10	O		DDR2 地址第 10 位	
addr11	O		DDR2 地址第 11 位	
addr12	O		DDR2 地址第 12 位	
addr13	O		DDR2 地址第 13 位	
ba0	O		DDR2 BANK 地址第 0 位	
ba1	O		DDR2 BANK 地址第 1 位	
ba2	O		DDR2 BANK 地址第 2 位	
dq0	B		DDR2 数据第 0 位	
dq1	B		DDR2 数据第 1 位	
dq2	B		DDR2 数据第 2 位	
dq3	B		DDR2 数据第 3 位	
dq4	B		DDR2 数据第 4 位	
dq5	B		DDR2 数据第 5 位	
dq6	B		DDR2 数据第 6 位	
dq7	B		DDR2 数据第 7 位	
dq8	B		DDR2 数据第 8 位	
dq9	B		DDR2 数据第 9 位	
dq10	B		DDR2 数据第 10 位	
dq11	B		DDR2 数据第 11 位	
dq12	B		DDR2 数据第 12 位	
dq13	B		DDR2 数据第 13 位	
dq14	B		DDR2 数据第 14 位	
dq15	B		DDR2 数据第 15 位	
dqs0	B		DDR2 数据选通第 0 位	
dqs1	B		DDR2 数据选通第 1 位	
dqsb0	B		DDR2 数据选通反相第 0 位	
dqsb1	B		DDR2 数据选通反相第 1 位	
vcc18	I		DDR2 数字电源(1.8V)	



名称	类型	上拉 下拉	功能描述	对应 IO 名称
vss	I		DDR2 数字地	
UART0 接口				
u0_rxd	I		UART0 的数据输入接口	pioc4 或 pioc8
u0_txd	O		UART0 的数据输出接口	pioc5 或 pioc9
UART1 接口				
u1_rxd	I		UART1 的数据输入接口(RS-232)	piao23 或 pioc15
u1_txd	O		UART1 的数据输出接口(RS-232)	piao24 或 pioc16
UART2 接口				
u2_rxd	I	U	UART2 的数据输入接口(RS-232)，当使用 pioc27 时由于引脚复用信号 jtidi 上拉而产生上拉	pioc20 或 pioc27
u2_txd	O		UART2 的数据输出接口(RS-232)	pioc21 或 pioc28
UART3 接口				
u3_rxd	I		UART3 的数据输入接口(RS-485)	piao3
u3_txd	O		UART3 数据输出接口(RS-485)	piao4
u3_txe	O		UART3 的数据输入输出控制(RS-485)	piao27
UART4 接口				
u4_rxd	I		UART4 的数据输入接口(RS-485)	piao0 或 pioc10
u4_txd	O		UART4 的数据输出接口(RS-485)	piao1 或 pioc11
u4_txe	O		UART4 的数据输入输出控制(RS-485)	piao2 或 pioc23
UART5 接口				
u5_rxd	I	U	UART5 的数据输入接口(RS-485)，当使用 piao28 时由于引脚复用信号 jtck 上拉而产生上拉	piao28 或 piob15
u5_txd	O	D	UART5 的数据输出接口(RS-485)，当使用 pioc26 时由于引脚复用信号 jrstin 下拉而产生下拉	pioc26 或 piob16
u5_txe	O		UART5 的数据输入输出控制(RS-485)	piao31 或 piob17
UART6 接口				
u6_rxd	I		UART6 的数据输入接口	piob18
u6_txd	O		UART6 的数据输出接口	piob19
u6_rts_n	O		UART6 的发送请求，低有效	piob20
u6_cts_n	I		UART6 的发送可用，低有效	piob21
u6_dtr_n	O		UART6 的数据终端准备完毕，低有效	piob22
u6_dsr_n	I		UART6 的数据准备完毕，低有效	piob23
u6_ri	I		UART6 的响铃	piob24
u6_dcd_n	I		UART6 的数据载波检测，低有效	piob25
UART7 接口				
u7_rxd	I		UART7 的数据输入接口（UART7 的红外输入）	piao5 或 pioc6
u7_txd	O		UART7 的数据输出接口（UART7 的红外	piao6 或 pioc7



名称	类型	上拉 下拉	功能描述	对应 IO 名称
			输出)	
PWM 接口				
pwm_abort	I		PWM 快速终止输入	pioa3
pwm_cap0	I		PWM 捕获输入 1	pioa31
pwm_cap1	I	U	PWM 捕获输入 2, 由于引脚复用信号 jtdi 上拉而产生上拉	pioc27
pwm_cap2	I	U	PWM 捕获输入 3, 由于引脚复用信号 jtms 上拉而产生上拉	pioa29
pwmout_0	O		PWM 输出信号 0	pioa30
pwmout_1	O		PWM 输出信号 1	pioc28
pwmout_2	O		PWM 输出信号 2	pioa6
pwmout_3	O		PWM 输出信号 3	pioa5
pwmout_4	O		PWM 输出信号 4	pioa4
pwmout_5	O		PWM 输出信号 5	piob27
CAN0 控制器接口				
can0_rx	I		CAN0 数据输入	pioa21
can0_tx	O		CAN0 数据输出	pioa22
CAN1 控制器接口				
can1_rx	I		CAN1 数据输入	pioc4
can1_tx	O		CAN1 数据输出	pioc5
I2C 控制器接口				
i2c_scl	B	U	I2C 时钟	pioa25
i2c_sda	B	U	I2C 数据	pioa26
USB 接口				
vbus	B		USB 5V 电源信号	专用引脚, 未进行复用
usb_id	I	U	USB ID 信号	
usb_dp	B		USB D+信号	
usb_dm	B		USB D-信号	
txrtune/rkelvin	B		USB2.0 PHY 的高速阻抗匹配调整	
usb_xo	I		晶体的 XO 信号	
usb_xi	I		晶体的 XI 信号	
avdd33	I		USB 模拟电源 3.3V	
avss33	I		USB 模拟地, 对应 3.3V 电源	
dvdd12	I		USB 数字电源 1.2V	
dvss12	I		USB 数字地, 对应 1.2V 电源	
vss33c	I		USB 模拟地, 对应 3.3V 电源	
utmi_drvvbus	O		电荷泵使能	pioa30
ADC 接口				
adc_chan0	I		外部 SAR-ADC 输入通道 0	专用引脚, 未进行复用
adc_chan1	I		外部 SAR-ADC 输入通道 1	
adc_chan2	I		外部 SAR-ADC 输入通道 2	



名称	类型	上拉 下拉	功能描述	对应 IO 名称
adc_chan3	I		外部 SAR-ADC 输入通道 3	
adc_atb_out	B		电池输入(3.3V)	
adc_avdd1	I		模拟电源 1(3.3V)	
adc_avss1	I		模拟地 1	
adc_avdd2	I		模拟电源 2(3.3V)	
adc_avss2	I		模拟地 2	
JTAG 接口				
jtck	I	U	JTAG 时钟	pioa28
jrstn	I	D	JTAG 复位，低有效	pioc26
jtdi	I	U	JTAG 数据输入	pioc27
jtdo	O		JTAG 数据输出	pioc28
jtms	I	U	JTAG 工作模式	pioa29
时钟/复位				
sys_rstn	I	U	系统复位，低有效	专用引脚，未进行复用
ext_clk	I		外部输入参考时钟	专用引脚，未进行复用
test_mode	I	D	1 为测试模式，0 为正常模式	专用引脚，未进行复用
clk_sel	I	D	参考时钟选择 1: 选择外部参考时钟； 0: 选择内部参考时钟	专用引脚，未进行复用
clk_out	O		PLL 分频时钟输出	pioc29
boot_mode0	I		bootmode 选择 根据{boot_mode1, boot_mode0}组合值进行设置或者判断： 00: NAND Flash 启动；	pioa27
boot_mode1	I		01: NOR Flash 启动； 10: SPIM1-CSN0 Nor Flash 启动； 11: SPIM1-CSN1 Nor Flash 启动	piob1
PLL 电源/地				
pll_dvdd12	I		PLL 数字电源(1.2V)	电源地，不需软件配置
pll_dvss12	I		PLL 数字地(对应 1.2V 数字电源)	
pll_avdd12	I		PLL 模拟电源(1.2V)	
pll_avss12	I		PLL 模拟地(对应 1.2V 模拟电源)	
pll_io_vdd			PLL IO 数字电源(1.2V)	
pll_io_vss			PLL IO 数字地(对应 1.2V 数字电源)	
电源/地				
pvdd33	I		数字电源(3.3V)	电源地，不需软件配置
pvss33	I		数字地(对应 3.3V 数字电源)	
pvdd12	I		数字电源(1.2V)	



名称	类型	上拉 下拉	功能描述	对应 IO 名称
pvss12	I		数字地(对应 1.2V 数字电源)	

注：1. 表中的 IO 名称只列出前半部分，如 pioa0_emicsn1_u4rxd 列作 pioa0。

2. 表中的缩写 I 表示输入，O 表示输出，B 表示双向，U 表示上拉，D 表示下拉。

3. 如果芯片内部的一个信号可由芯片的两个引脚引出，由软件配置希望使用的引脚所对应 IO 复用寄存器的相应位，不希望使用的引脚所对应 IO 复用寄存器的相应位不能配置，例如 emi_csn1 可由 pioa0 或 piob1 引出，若使用 pioa0 则需要将 SYSCTL_PIOA_CFG0 寄存器的 bit0 和 bit1 位配置为 2'b10，而 SYSCTL_PIOB_CFG0 寄存器的 bit2 和 bit3 位不能配置为 2'b01；若使用 piob1 则需要配置 SYSCTL_PIOB_CFG0 寄存器的 bit2 和 bit3 位为 2'b01，而 SYSCTL_PIOA_CFG0 寄存器的 bit0 和 bit1 位不能配置为 2'b10。



3 电气特性

3.1 绝对最大额定值

表 3-1 GSC3290 芯片绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	PVDD33	-0.5	4.6	V
	PVDD12	-0.5	1.8	V
	USB_AVDD33	-0.5	4.6	V
	USB_DVDD12	-0.5	1.8	V
	DDR2_VCC18	-0.5	-	V
	ADC_PBAT	-0.5	4.6	V
	ADC_AVDD	-0.5	4.6	V
	PLL_AVDD12	-0.5	1.8	V
	PLL_DVDD12	-0.5	1.8	V
	PLL_IO_VDD	-0.5	1.8	V
输入电压	V_I	-0.5	4.6	V
输出电压	V_O	-0.5	6.0	V
工作温度	T_{OPT}	-40	+125	°C
存储温度	T_S	-65	+150	°C
ESD 保护	V_{ESD}	-	HBM-2000	V

警告：超过以上临界工作条件，将对器件造成永久性损坏。在临界条件下，无法保证器件可以正常工作。

3.2 推荐工作条件

表 3-2 GSC3290 芯片推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	PVDD33	2.97	3.3	3.63	V
	PVDD12	1.08	1.2	1.32	V
	USB_AVDD33	3.0	3.3	3.6	V
	USB_DVDD12	1.08	1.2	1.32	V
	DDR2_VCC18	1.7	1.8	1.9	V
	ADC_PBAT	3.0	3.3	3.6	V
	ADC_AVDD	3.0	3.3	3.6	V
	ADC_DVDD12	1.08	1.2	1.32	V
	PLL_AVDD12	1.08	1.2	1.32	V
	PLL_DVDD12	1.08	1.2	1.32	V
	PLL_IO_VDD	1.08	1.2	1.32	V
	VBUS	4.65	5	5.25	V



工作环境温度（工业用）	T_A	-40	+25	+85	℃
工作环境温度（商用）	T_A	-40	+25	+70	℃
CPU 时钟	F_{CPU}	-	-	266	MHZ
DDR2 工作时钟	F_{DDR2}	-	-	533	MHZ

3.3 直流特性

表 3-3 GSC3290 芯片直流特性

参数	符号	最小值	典型值	最大值	单位
高电平输入电压	V_{IH}	1.7	-	5.5	V
低电平输入电压	V_{IL}	-0.3	-	0.7	V
高电平输出电压	V_{OH}	2.4	-	-	V
低电平输出电压	V_{OL}	-	-	0.4	V
引脚内置上拉电阻	V_{OL}	62	77	112	Kohm
引脚内置下拉电阻	V_{OL}	48	85	174	Kohm
引脚三态输出泄漏电流	I_{OZ}	-	-	1	uA
VBUS 有效电压	V_{bus}	4.65	-	5.25	V

3.4 复位时序

GSC3290 片内集成有 PVDD12 电源电压域的上电复位电路，在开机时会自动产生上电复位信号对整个芯片进行复位，并在延时 t_{reset_delay} 时间之后退出复位状态，如图 3-1 所示，因此如果产品没有特殊需求，GSC3290 不需要外接系统复位信号即可正常工作。

除了内置上电复位电路之外，GSC3290 也提供了一个系统复位引脚，在该引脚上既可以连接外置上电复位电路，复位时序如图 3-2 所示，也可以连接手动复位电路，复位时序如图 3-3 所示。当外部输入的系统复位信号有效时，GSC3290 芯片将立即复位；当外部输入的系统复位信号变为无效时，为了确保芯片开始工作时 PLL 已处于锁定状态，GSC3290 芯片内部将延时 t_{reset_delay} 时间之后退出复位状态。

复位延时时间 t_{reset_delay} 与参考时钟的时钟周期呈线性关系，当采用 12MHZ 参考时钟时， t_{reset_delay} 时间约为 10.9ms。

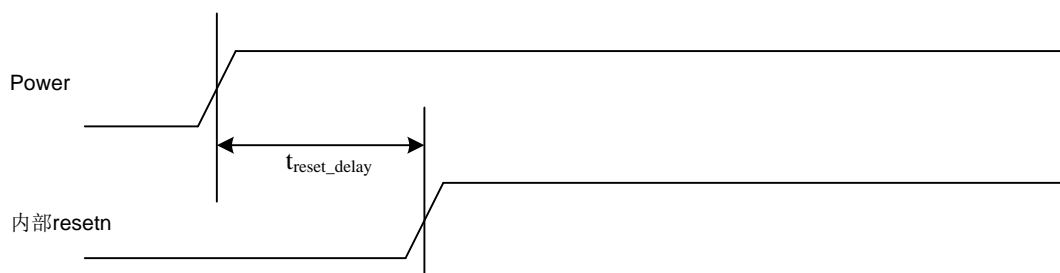
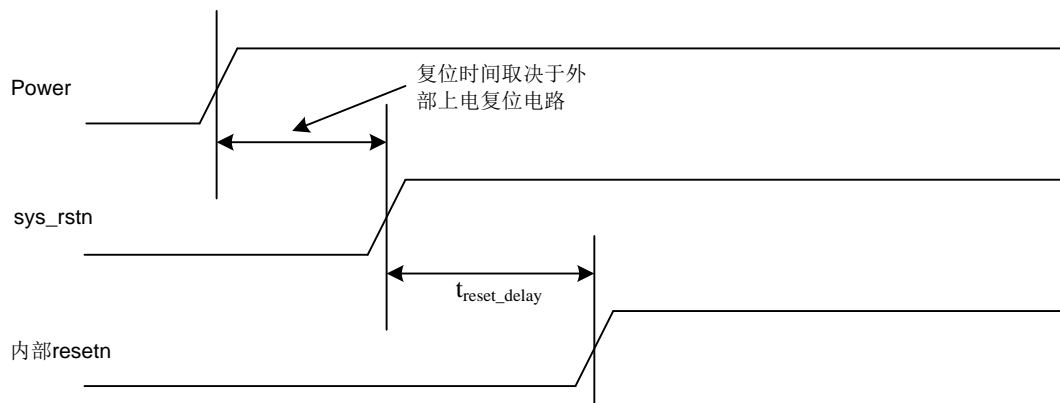
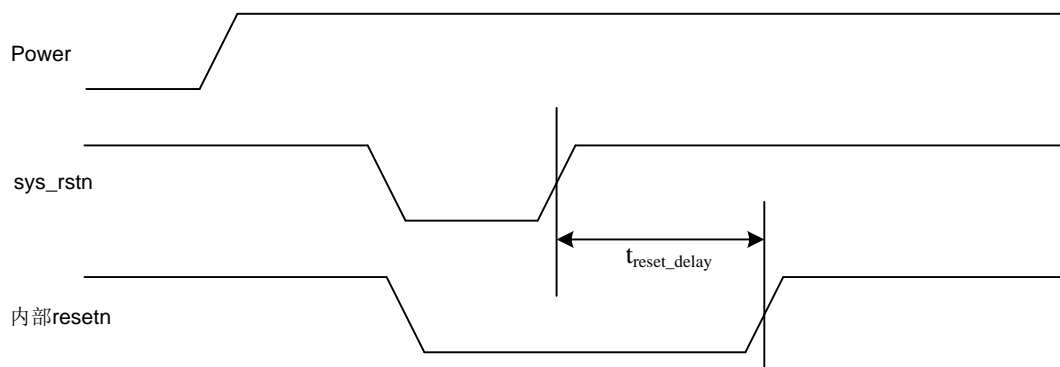


图 3-1 仅使用内部上电复位电路的复位时序

图 3-2 复位引脚 `sys_rstn` 外接上电复位电路的复位时序图 3-3 复位引脚 `sys_rstn` 连接手动复位的复位时序

3.5 上电顺序

GSC3290 芯片需要的电源包括数字 3.3V、数字 1.2V、模拟 3.3V、模拟 1.8V 以及模拟 1.2V 等若干种，为了确保 GSC3290 芯片正常上电，要求模拟 3.3V 电源先于数字 1.2V 上电，如图 3-4 所示；其余电源之间则不要求顺序关系，可根据实际情况适当处理。

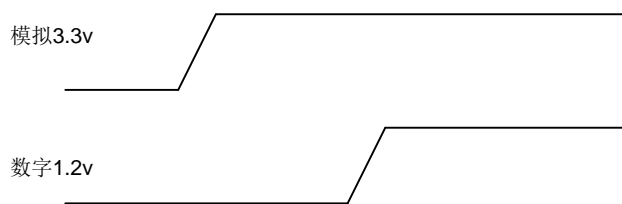


图 3-4 GSC3290 不同电源域上电顺序



4 接口时序

4.1 JTAG

表 4-1 JTAG 时序参数

时序参数	描述	最小值	最大值	单位
T_{TCKcyc}	TCK 时钟周期	25	-	ns
$T_{TCKhigh}$	TCK 高电平时间	10	-	ns
T_{TCKlow}	TCK 低电平时间	10	-	ns
T_{Tsetup}	TMS/TDI 相对于 TCK 的 setup 时间	5	-	ns
T_{Thold}	TMS/TDI 相对于 TCK 的 hold 时间	3	-	ns
T_{TDOout}	TDO 输出延时时间	-	5	ns
$T_{TDOzstate}$	TDO 三态延时时间	-	5	ns
$T_{TRSTNlow}$	TRST 低电平时间	25	-	ns
T_{rf}	JTAG 信号上升下降时间	-	3	ns

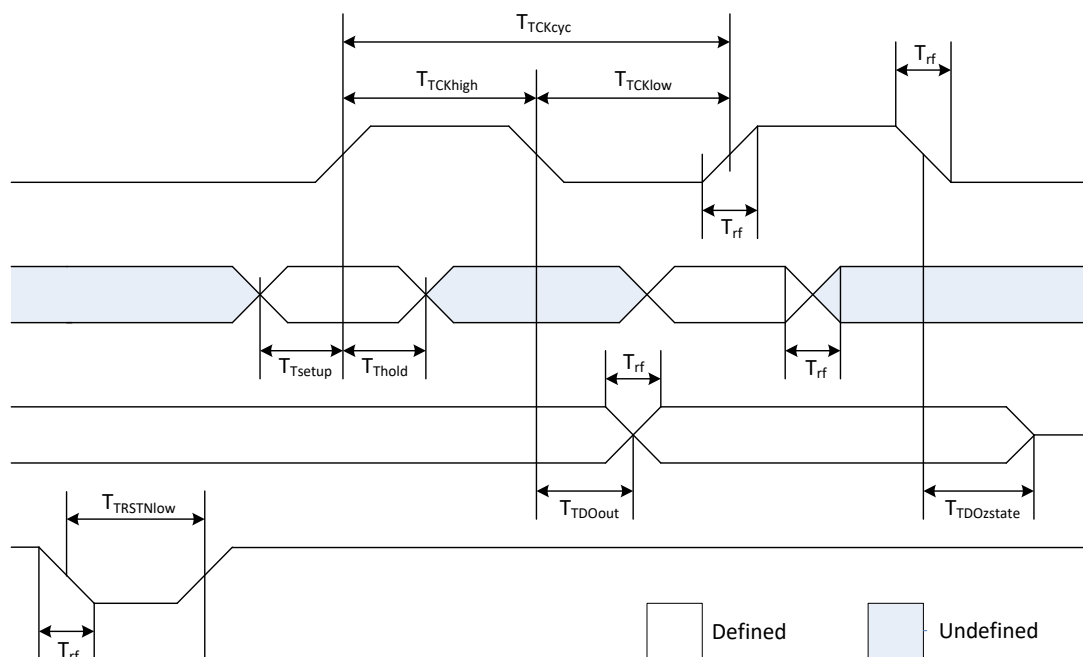


图 4-1 JTAG 工作时序

4.2 DDR2

表 4-2 DDR2 基本时序参数

参数	符号	400Mbps		533Mbps		单位
		最小值	最大值	最小值	最大值	
DDR2 时钟周期	tCK	5	-	3.75	-	ns



DDR2 时钟高电平有效时间	tCH	0.48	0.52	0.48	0.52	tCK
DDR2 时钟低电平有效时间	tCL	0.48	0.52	0.48	0.52	tCK
命令信号输出建立时间	tCS	0.35	-	0.25	-	ns
命令信号输出保持时间	tCH	0.475	-	0.375	-	ns
地址信号输出建立时间	tAS	0.35	-	0.25	-	ns
地址信号输出保持时间	tAH	0.475	-	0.375	-	ns

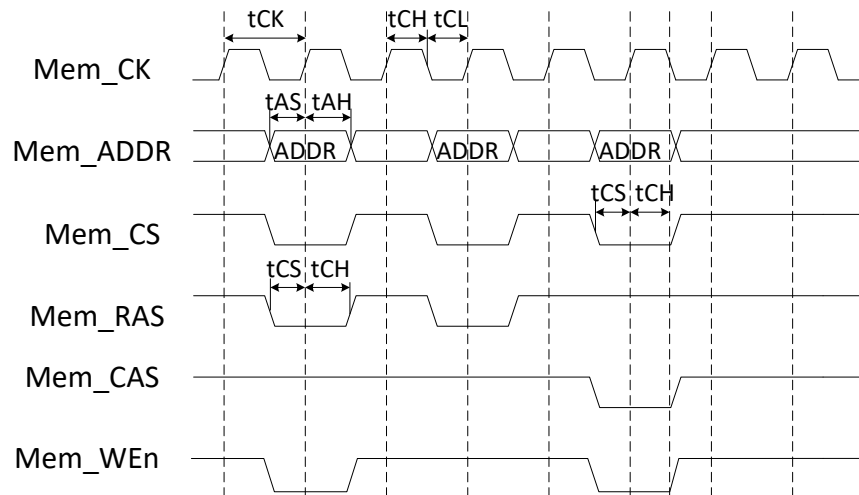


图 4-2 DDR2 SDRAM 基本时序参数

表 4-3 DDR2 写操作时序参数

参数	符号	400Mbps		533Mbps		单位
		最小值	最大值	最小值	最大值	
DQ/DQM 对 DQS 的建立时间	tDS	0.15	-	0.1	-	ns
DQ/DQM 对 DQS 的保持时间	tDH	0.275	-	0.225	-	ns
DQS 下降沿到时钟的建立时间	tDSS	0.2	-	0.2	-	tCK
DQS 下降沿到时钟的保持时间	tDSH	0.2	-	0.2	-	tCK
DQS 上升沿到时钟上升沿	tDQSS	-0.25	0.25	-0.25	0.25	tCK
DQS 输入高电平时间	tDQSH	0.35	-	0.35	-	tCK
DQS 输入低电平时间	tDQSL	0.35	-	0.35	-	tCK

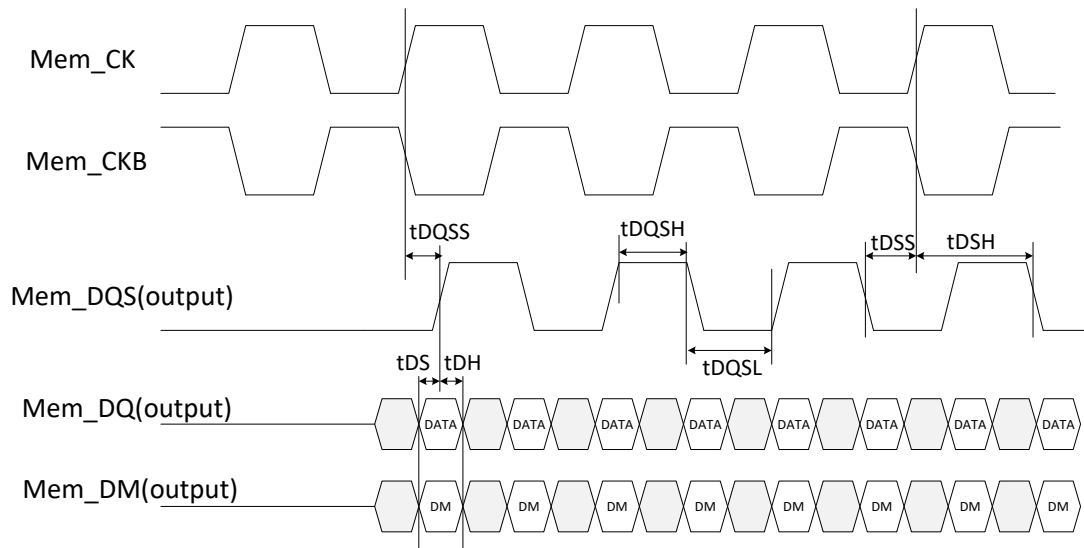


图 4-3 DDR2 SDRAM 写操作时序

表 4-4 DDR2 读操作时序参数

参数	符号	400Mbps		533Mbps		单位
		最小值	最大值	最小值	最大值	
DQS - DQ Skew	tDQSQ	-	0.35	-	0.3	ns
DQS - DQ 保持时间	tQH	1.8	-	1.4	-	ns
从时钟到 DQS 输出有效时间	tDQSK	-0.5	0.5	-0.45	0.45	ns

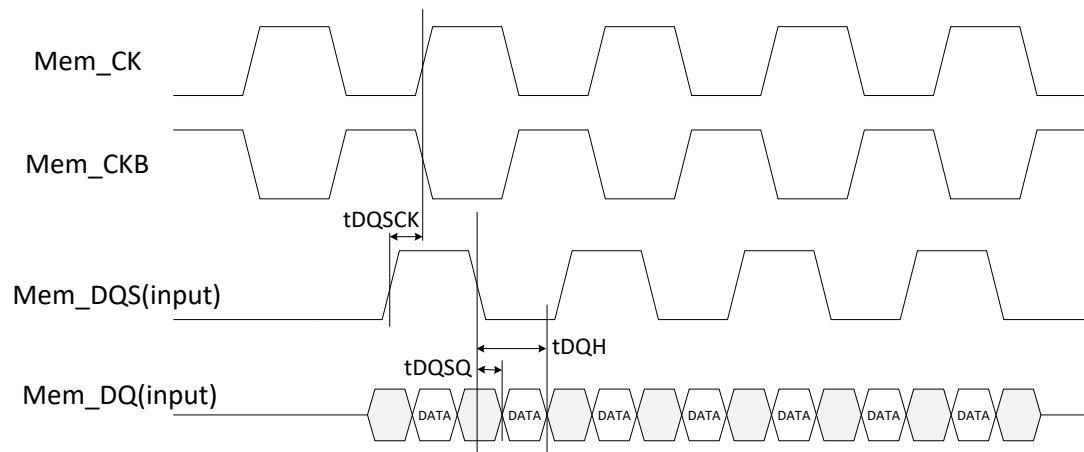


图 4-4 DDR2 SDRAM 读操作时序



4.3 NAND Flash

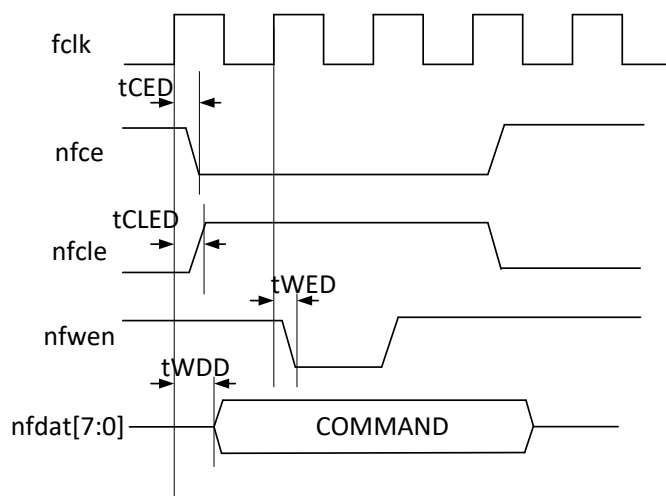


图 4-5 NAND Flash 控制器写命令时序

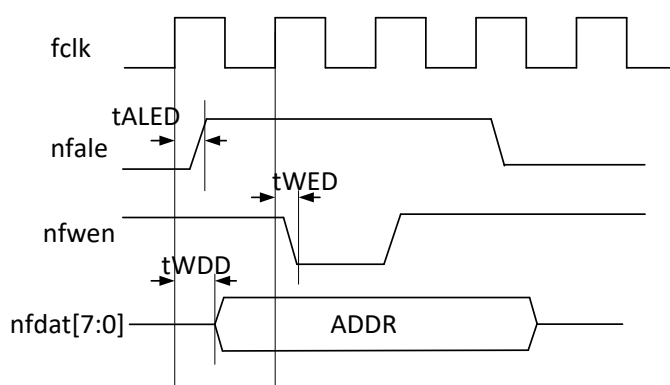


图 4-6 NAND Flash 控制器写地址时序

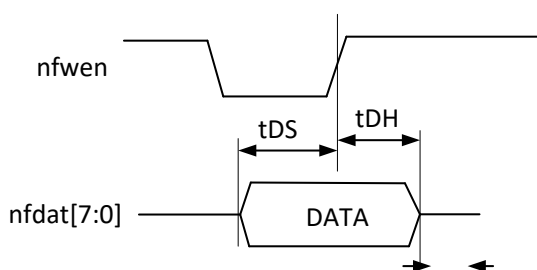


图 4-7 NAND Flash 控制器写数据时序

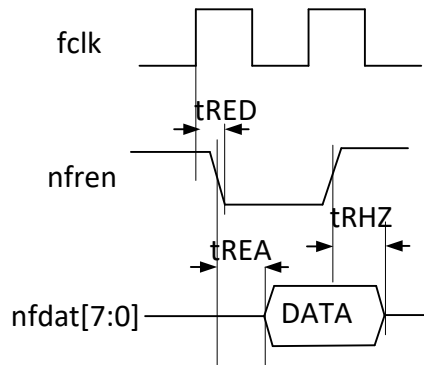


图 4-8 NAND Flash 控制器读数据时序

表 4-5 NAND Flash 控制器时序参数

参数	符号	最小值	典型值	最大值	单位
片选使能延迟	tCED	-	-	5.9	ns
CLE 延迟	tCLED	-	-	6.0	ns
ALE 延迟	tALED	-	-	6.3	ns
写使能延迟	tWED	-	-	6.8	ns
读使能延迟	tRED	-	-	6.4	ns

参数 tDS, tDH, tREA, tRHZ 和 NAND Flash 控制器控制的配置有关, 详见用户手册中的 NFC_CONF 寄存器和 ONFI 协议。

4.4 EMI

4.4.1 EMI 读时序

图 4-9 EMI 读时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0			ns
emi_addr 保持时间	Taddr_h	Thclk			ns
emi_oen 延迟时间	Toen_d		0	3	ns
emi_data 建立时间	Tdata_s	2			ns
emi_data 保持时间	Tdata_h	0			ns

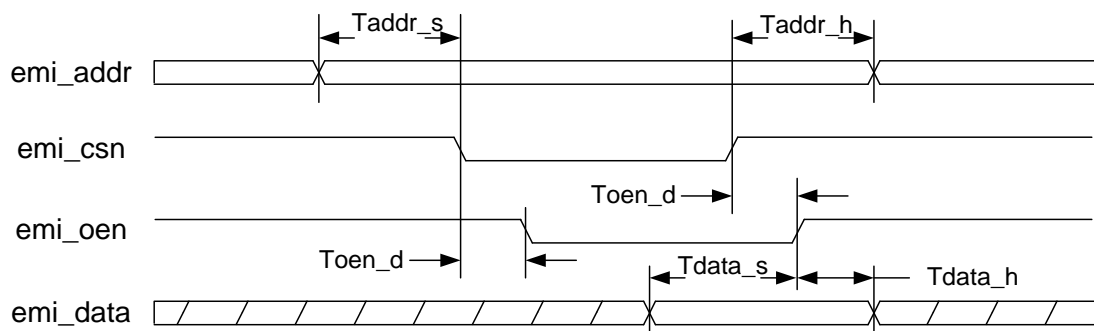


图 4-10 EMI 读时序图



4.4.2 EMI 写时序

表 4-6 EMI 写时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0	3Thclk	3Thclk	ns
emi_addr 保持时间	Taddr_h	0	3Thclk	3Thclk	ns
emi_csn 保持时间	Tcsn_h	0	3Thclk	3Thclk	ns
emi_wen 延迟时间	Twen_d	0	3Thclk	3Thclk	ns
emi_wen 有效持续时间	Twen_pw	1Thclk	10Thclk	64Thclk	ns
emi_data 建立时间	Tdata_s	1Thclk	13Thclk	67 Thclk	ns
emi_data 保持时间	Tdata_h	0	3Thclk	3Thclk	ns

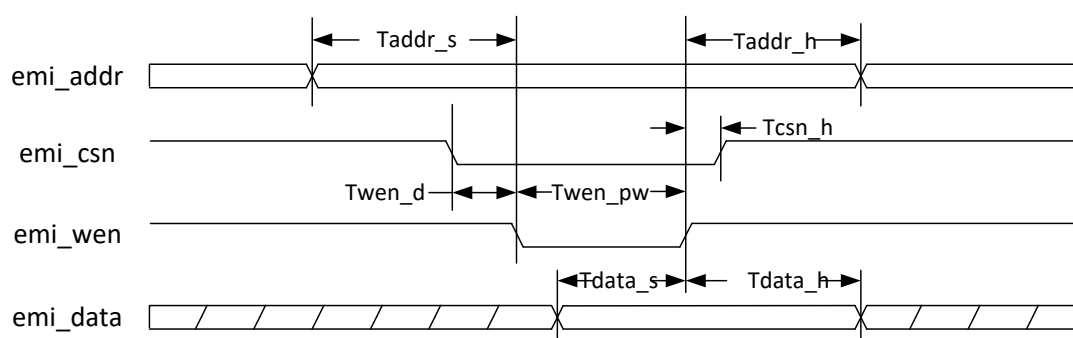


图 4-11 EMI 写时序图

4.4.3 EMI burst 读时序

表 4-7 EMI burst 读时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0	0	-	ns
emi_addr 变化延迟时间 1	Taddr_d1	1 Thclk	23Thclk	64 Thclk	ns
emi_addr 变化延迟时间 2	Taddr_d2	1 Thclk	4Thclk	16Thclk	ns
emi_addr 变化延迟时间 3	Taddr_d3	1 Thclk	4Thclk	16Thclk	ns
emi_addr 保持时间	Taddr_h	Thclk	-	-	ns
emi_oen 延迟时间	Toen_d	-	0	3	ns
emi_data 建立时间 1	Tdata_s1	2	-	-	ns
emi_data 建立时间 2	Tdata_s2	2	-	-	ns
emi_data 保持时间 1	Tdata_h1	0	-	-	ns
emi_data 保持时间 2	Tdata_h2	0	-	-	ns

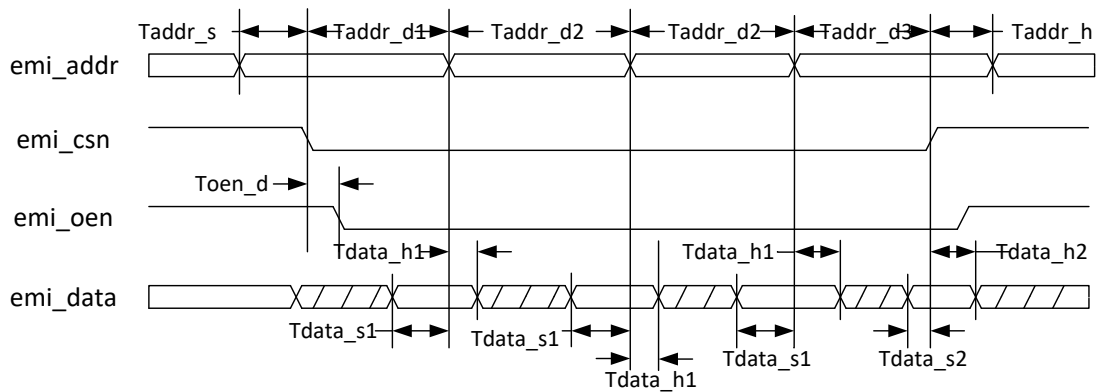


图 4-12 EMI burst 读时序图

4.4.4 EMI burst 写时序

表 4-8 EMI 写时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0	-	-	ns
emi_addr 保持时间	Taddr_h	0	3Thclk	3Thclk	ns
emi_addr 变化延迟时间	Taddr_d	0	3Thclk	3Thclk	ns
emi_csn 保持时间	Tcsn_h	0	3Thclk	3Thclk	ns
emi_wen 延迟时间	Twen_d	0	3Thclk	3Thclk	ns
emi_wen 有效持续时间	Twen_pwl	1Thclk	10Thclk	64Thclk	ns
emi_wen 无效持续时间	Twen_pwh	0	6 Thclk	6 Thclk	ns
emi_data 建立时间	Tdata_s	1Thclk	13 Thclk	67 Thclk	ns
emi_data 保持时间	Tdata_h	0	3Thclk	3Thclk	ns

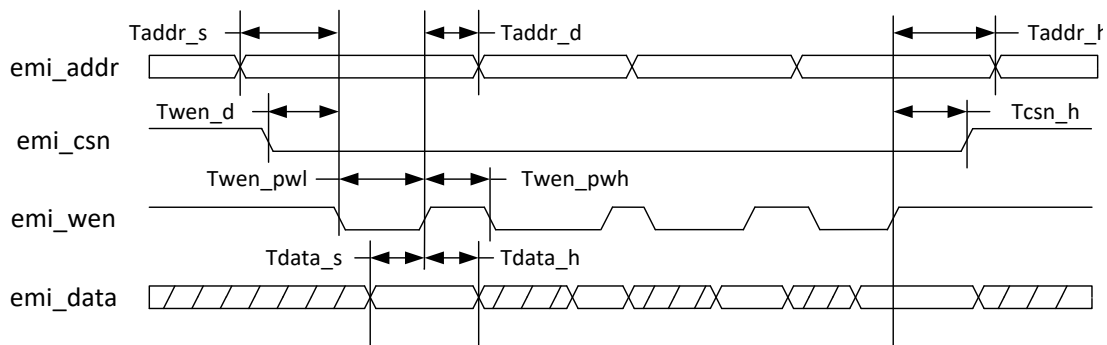


图 4-13 EMI burst 写时序图

4.5 千兆以太网 GMACn

千兆以太网控制器 GMACn 有 MII、RMII、GMII 和 RGMII 四种接口模式，MII 和 RMII 模式下有 10Mbps 和 100Mbps 两种带宽，GMII 和 RGMII 模式下有 10Mbps、100Mbps 和 1000Mbps 三种带宽（下面表中以 10M、100M 和 1000M 来表示）。



4.5.1 MDIO 时序

表 4-9 MDIO 接口时序参数

符号	参数	最小值	典型值	最大值	单位
T_{pmdc}	MDC 周期	360			ns
T_{hmdc}	MDC 高电平有效时间	180			ns
T_{smdi}	MDIO 输入建立时间	20			ns
T_{hmdi}	MDIO 输入保持时间	20			ns
T_{dmdo}	MDIO 输出延时	0		3	ns

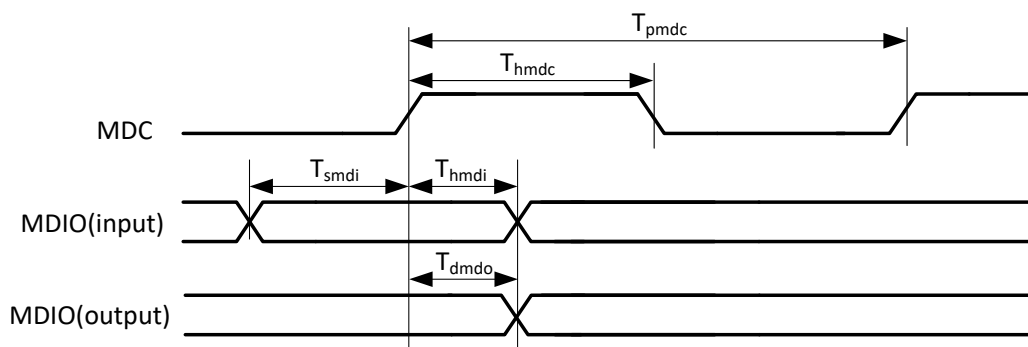


图 4-14 MDIO 接口时序图

4.5.2 MII 模式时序

表 4-10 MII 模式发送接口时序参数

符号	参数	最小值	典型值	最大值	单位
T_{pmtxclk}	TXCLK 周期	-	10M:400 100M:40	-	ns
T_{hmtxclk}	TXCLK 高电平有效时间	-	10M:200 100M:20	-	ns
T_{dmtxen}	GTXEN 延时	0	-	24	ns
T_{dmtxd}	GTXD 延时	0	-	24	ns

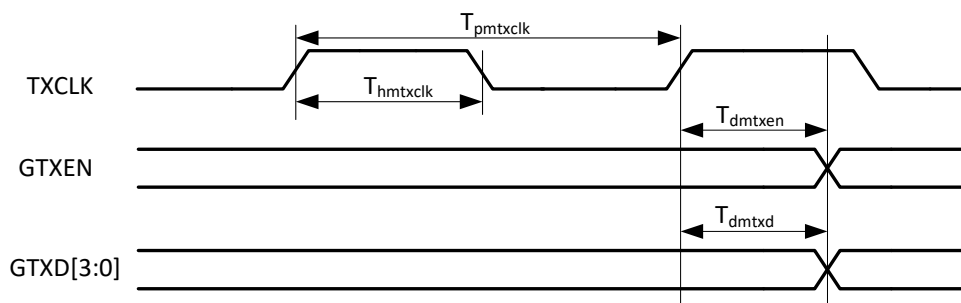


图 4-15 MII 模式发送接口时序图

表 4-11 MII 模式接收接口时序参数



符号	参数	最小值	典型值	最大值	单位
$T_{pmrxclk}$	RXCLK 周期	-	10M:400 100M:40	-	ns
T_{hmrclk}	RXCLK 高电平有效时间	-	10M:200 100M:20	-	ns
T_{smrxd}	GRXD 建立时间	4	-	-	ns
T_{hmrxd}	GRXD 保持时间	0	-	-	ns
T_{smrxer}	GRXER 建立时间	4	-	-	ns
T_{hmrxer}	GRXER 保持时间	0	-	-	ns
T_{smrxdv}	GRXDV 建立时间	4	-	-	ns
T_{hmrxdv}	GRXDV 保持时间	0	-	-	ns
T_{smcrs}	GCRS 建立时间	10	-	-	ns
T_{hmcrs}	GCRS 保持时间	0	-	-	ns
T_{smcol}	GCOL 建立时间	10	-	-	ns
T_{hmcol}	GCOL 保持时间	0	-	-	ns

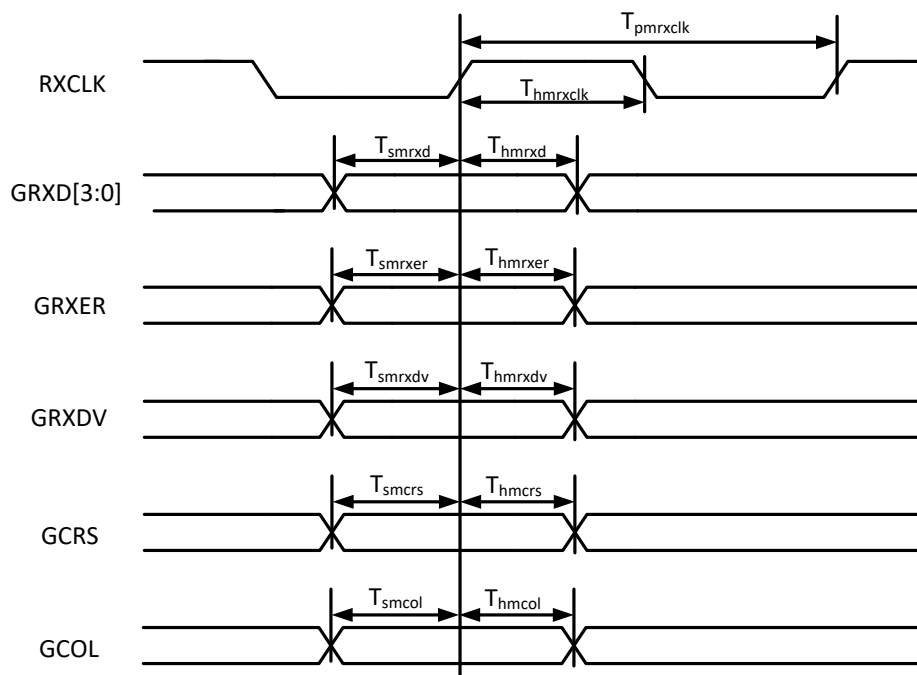


图 4-16 MII 模式接收接口时序图

4.5.3 RMII 模式时序

表 4-12 RMII 模式接口时序参数

符号	参数	最小值	典型值	最大值	单位
T_{prmclk}	TXCLK 周期	-	20	-	ns
T_{hrmclk}	TXCLK 高电平有效时间	-	10	-	ns
T_{smrxd}	GRXD 建立时间	5	-	-	ns
T_{hmrxd}	GRXD 保持时间	5	-	-	ns



$T_{srmrxdv}$	GRXDV 建立时间	5	-	-	ns
$T_{hrmrxdv}$	GRXDV 保持时间	5	-	-	ns
$T_{drmtxex}$	GTXEN 延时	0	-	10	ns
T_{drmtxd}	GTXD 延时	0	-	10	ns

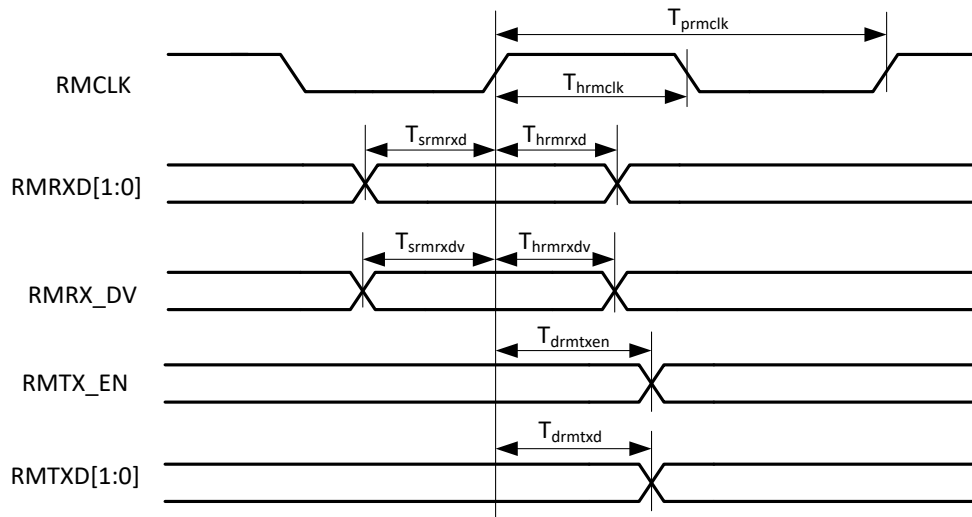


图 4-17 RMII 模式接口时序图

4.5.4 GMII 模式时序

表 4-13 GMII 模式发送接口时序参数

符号	参数	最小值	典型值	最大值	单位
$T_{pgtxclk}$	GTXCLK 周期	-	8	-	ns
$T_{hgtxclk}$	GTXCLK 高电平有效时间	-	4	-	ns
T_{dgtxex}	GTXEN 延时	0	-	6	ns
T_{dgtxd}	GTXD 延时	0	-	6	ns
T_{dgtxer}	GTXER 延时	0	-	6	ns

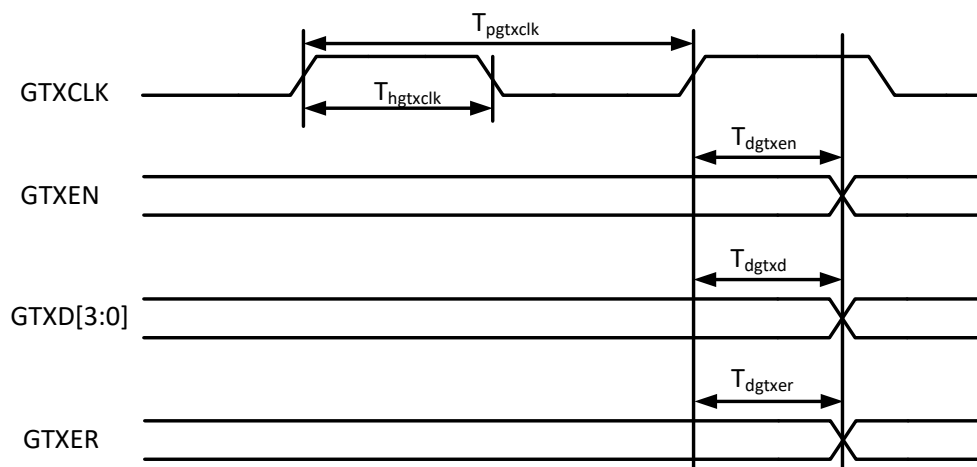


图 4-18 GMII 模式发送接口时序图



表 4-14 GMII 模式接收接口时序参数

符号	参数	最小值	典型值	最大值	单位
$T_{pgrxclk}$	GRXCLK 周期	-	8	-	ns
$T_{hgrxclk}$	GRXCLK 高电平有效时间	-	4	-	ns
T_{sgrxd}	GRXD 建立时间	2	-	-	ns
T_{hgrxd}	GRXD 保持时间	2	-	-	ns
T_{sgrxer}	GRXER 建立时间	2	-	-	ns
T_{hgrxer}	GRXER 保持时间	2	-	-	ns
T_{sgrxdv}	GRXDV 建立时间	2	-	-	ns
T_{hgrxdv}	GRXDV 保持时间	2	-	-	ns
T_{sgcrs}	GCRS 建立时间	5	-	-	ns
T_{hgcrs}	GCRS 保持时间	0	-	-	ns
T_{sgcol}	GCOL 建立时间	5	-	-	ns
T_{hgcol}	GCOL 保持时间	0	-	-	ns

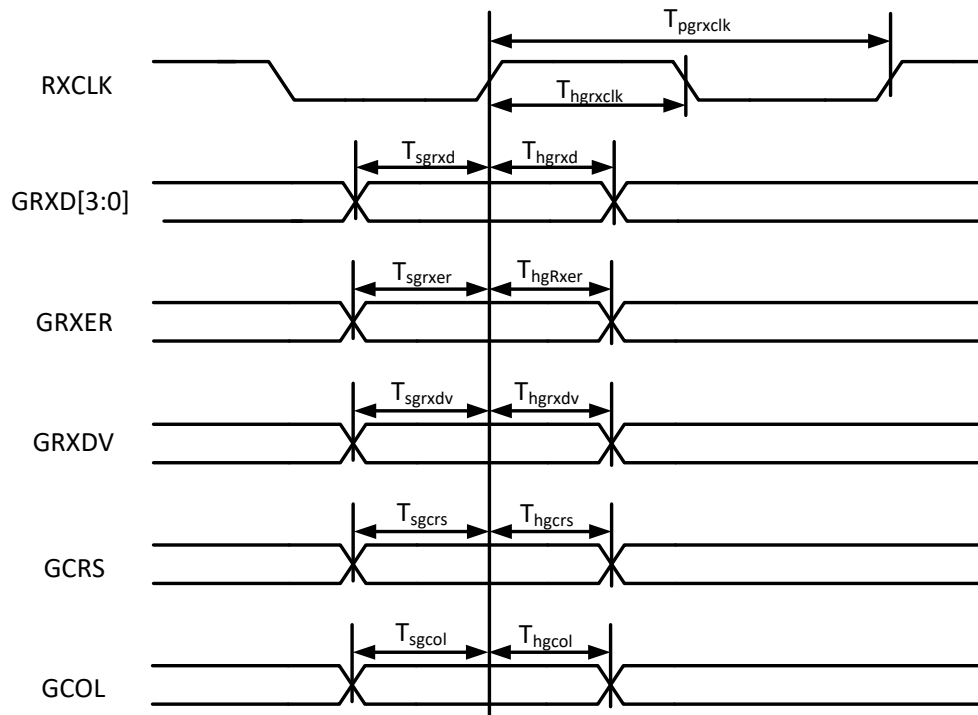


图 4-19 GMII 模式接收接口时序图

4.5.5 RGMII 模式时序

表 4-15 RGMII 模式发送接口时序参数

符号	参数	最小值	典型值	最大值	单位
$T_{prgtxclk}$	GTXCLK 周期	-	10M:400 100M:40 1000M:8	-	ns
$T_{hrgtxclk}$	GTXCLK 高电平有效时间	-	10M:200	-	ns



			100M:20 1000M:4		
$T_{drgtxen}$	GTXEN 延时	-4	-	0	ns
T_{drgtxd}	GTXD 延时	-4	-	0	ns

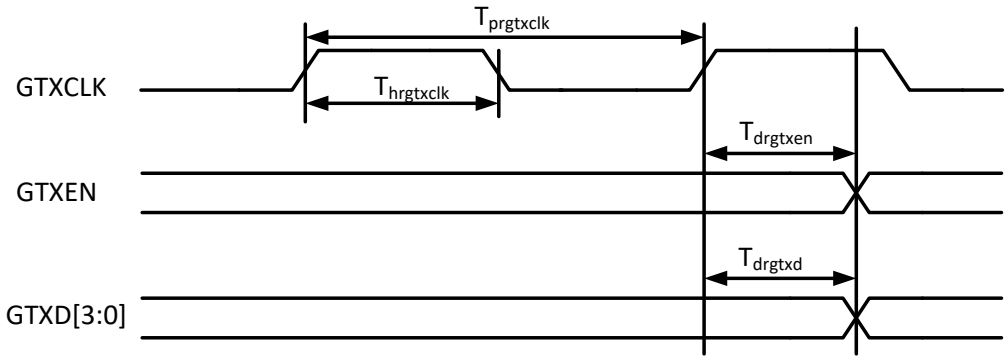


图 4-20 RGMII 模式发送接口时序图

表 4-16 RGMII 模式接收接口时序参数

符号	参数	最小值	典型值	最大值	单位
$T_{prgrxclk}$	RXCLK 周期	-	10M:400 100M:40 1000M:8	-	ns
$T_{hrgrxclk}$	RXCLK 高电平有效时间	-	10M:200 100M:20 1000M:4	-	ns
T_{srgrxd}	GRXD 建立时间	-0.6	-	-	ns
T_{hrgrxd}	GRXD 保持时间	-3.5	-	-	ns
$T_{srgrxdv}$	GRXDV 建立时间	-0.6	-	-	ns
$T_{hrgrxdv}$	GRXDV 保持时间	-3.5	-	-	ns

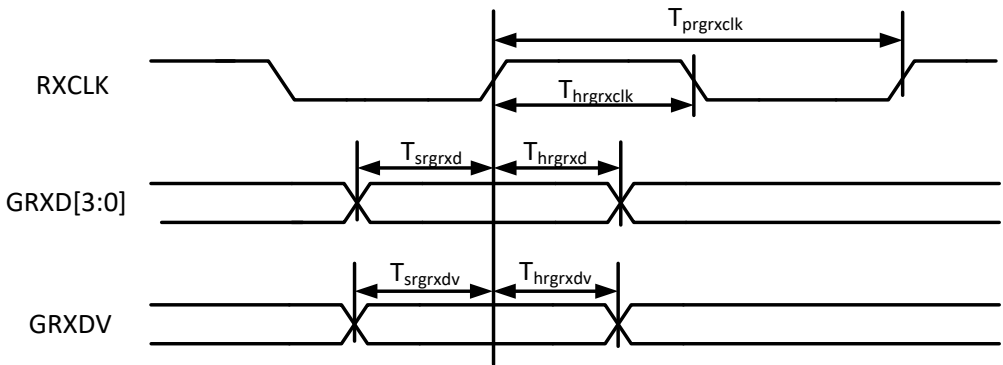


图 4-21 RGMII 模式接收接口时序图

4.6 SD/SDIO

表 4-17 SD/SDIO 接口时序参数



参数	符号	最小值	典型值	最大值	单位
SD 命令输出延迟时间	tSDCD	1.1	-	10.1	ns
SD 命令输入建立时间	tSDCS	4.86	-	-	ns
SD 命令输入保持时间	tSDCH	-	-	2.45	ns
SD 数据输出延迟时间	tSDDD	1.1	-	11.3	ns
SD 数据输入建立时间	tSDDS	4.87			ns
SD 数据输入保持时间	tSDDH	-		2.46	ns

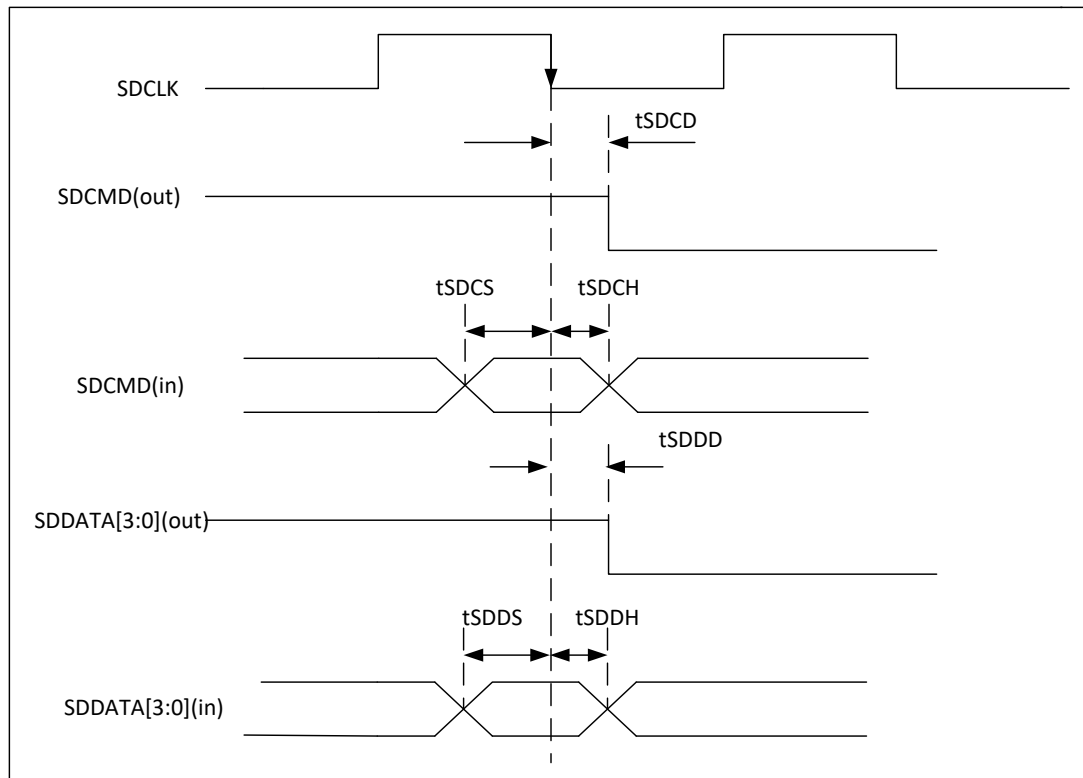


图 4-22 SD/SDIO 接口时序图

4.7 LCD

表 4-18 LCD 接口时序参数

参数	符号	最小值	典型值	最大值	单位
VCLK 上升沿/下降沿传输时间	t _{clkrf}	2.23	-	2.65	ns
VCLK 上升沿到控制信号有效传输时间	t _{CD}	2	-	8	ns
VCLK 上升沿到数据有效传输时间	t _{DD}	-	-	8	ns
数据有效时间	t _{Dv}	t _{VCLK}	-	-	ns



注： t_{VCLK} 是 VCLK 的时钟周期。

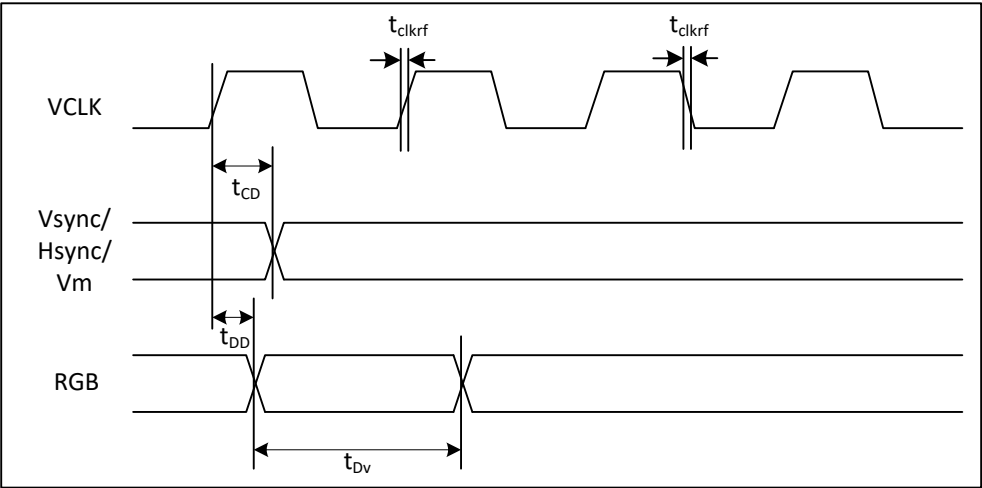


图 4-23 LCD 接口时序图

4.8 SPI-Mn

表 4-19 SPI-Mn 接口参数

参数	符号	最小值	典型值	最大值	单位
SPI-Mn MOSI 主机输出延迟时间	tSPIMOD	-	-	0.74	ns
SPI-Mn MOSI 主机输出有效时间	tSPIMOV	10.5	-	-	ns
SPI-Mn MISO 主机输入建立时间	tSPIMIS	6	-	-	ns
SPI-Mn MISO 主机输入有效时间	tSPIMIV	6	-	-	ns

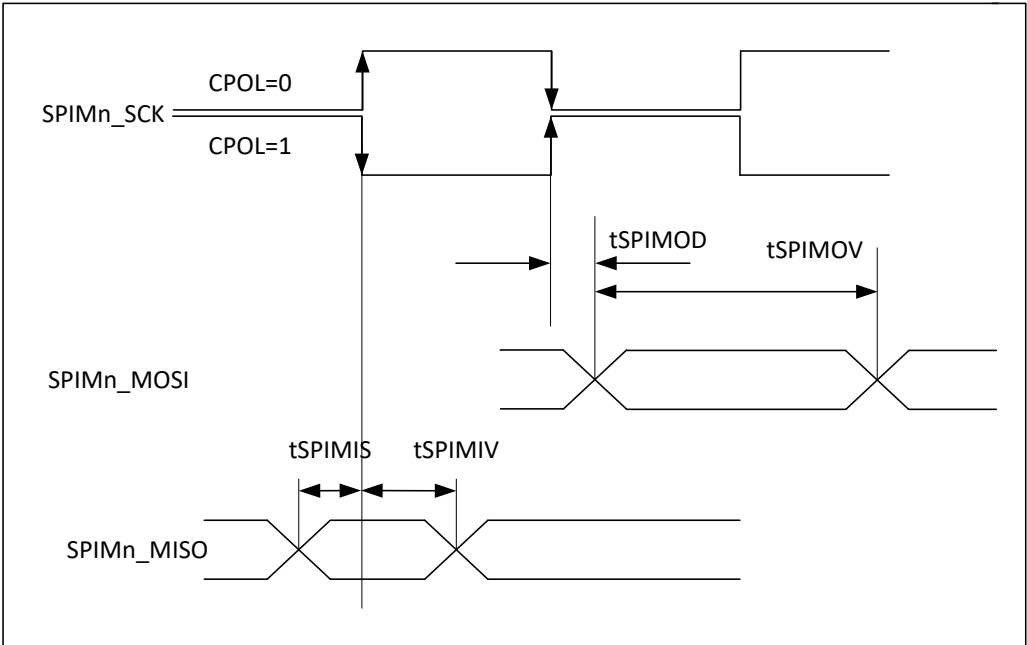


图 4-24 SPI-Mn 接口时序图 (CPHA=0)

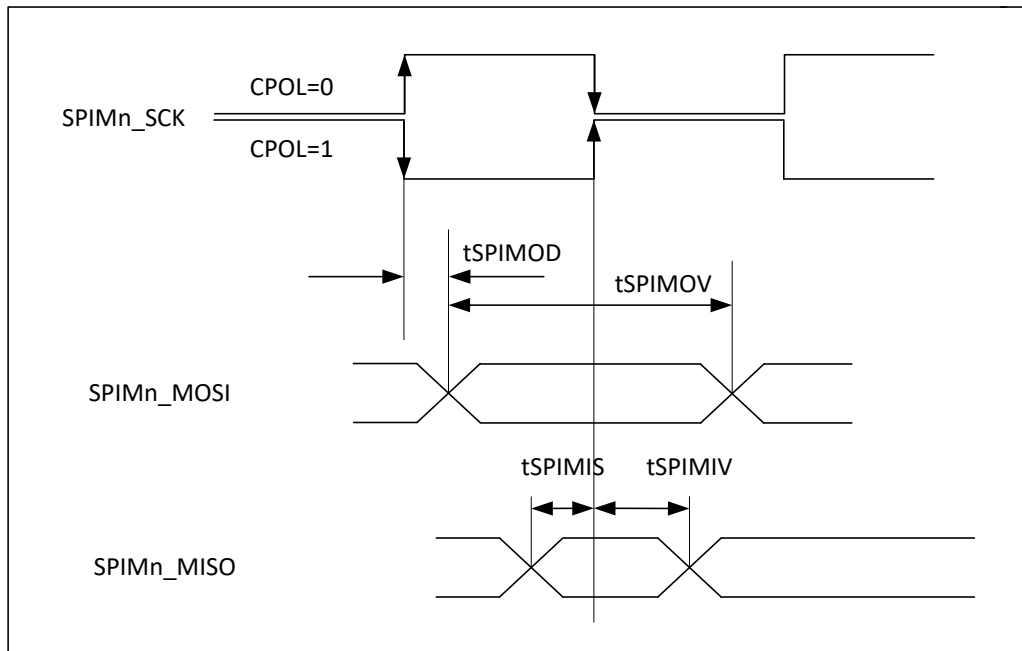


图 4-25 SPI-Mn 接口时序图 (CPHA=1)

表 4-20 SPI-M1 启动时序参数

参数	符号	最小值	典型值	最大值	单位
SPI-M1 MOSI 主机输出延迟时间	tSPIMOD	-	-	0.74	ns
SPI-M1 MOSI 主机输出有效时间	tSPIMOV	10.5	-	-	ns
SPI-M1 MISO 主机输入建立时间	tSPIMIS	16	-	-	ns
SPI-M1 MISO 主机输入有效时间	tSPIMIV	6	-	-	ns
SPI-M1 Flash 启动的时钟周期	tSCK	48	-	-	ns
SPI-M1 Flash 片选不选中（为高）时间	tCSH	100	-	-	ns
SPI-M1 Flash 时钟有效延迟（相对于片选有效）	tCKD	30	-	-	ns
SPI-M1 Flash 片选无效延迟（相对于时钟无效）	tCSD	12	-	-	ns

当配置系统 PLL 输出时钟为 500MHz 时，SPI Flash 的 tCLQV（时钟为低到 Flash 输出有效的延迟）必须小于 8ns。当 PLL 输出时钟为 400MHz 时，SPI Flash 的 tCLQV 不能小于 14ns。

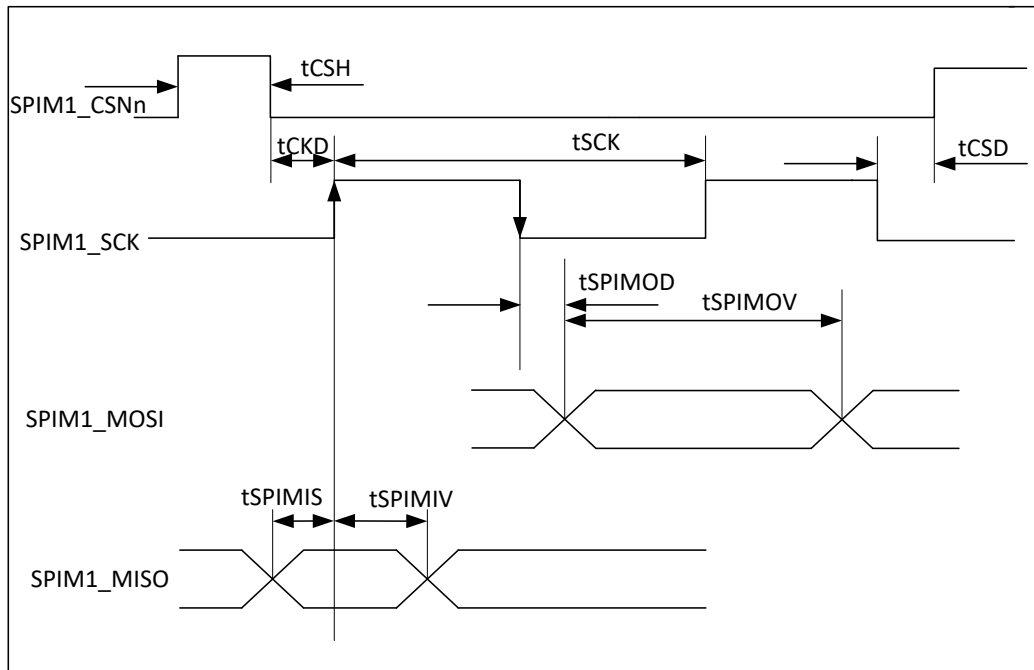


图 4-26 SPI-M1 Flash 启动时序图

4.9 SPI-S

表 4-21 SPI-S 接口信号时序参数

参数	符号	最小值	典型值	最大值	单位
SPI-S MISO 从机输出延迟时间	tSPISOD	36	-	54	ns
SPI-S MOSI 从机输入建立时间	tSPISIS	6	-	-	ns
SPI-S MOSI 从机输入有效时间	tSPISIV	24	-	-	ns

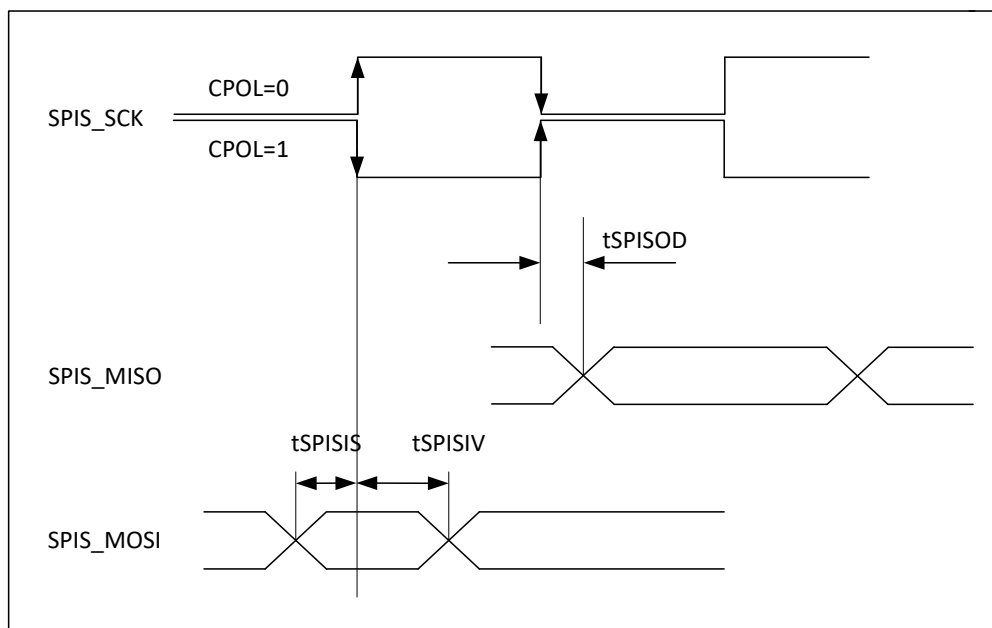


图 4-27 SPI-S 接口时序图 (CPHA=0)

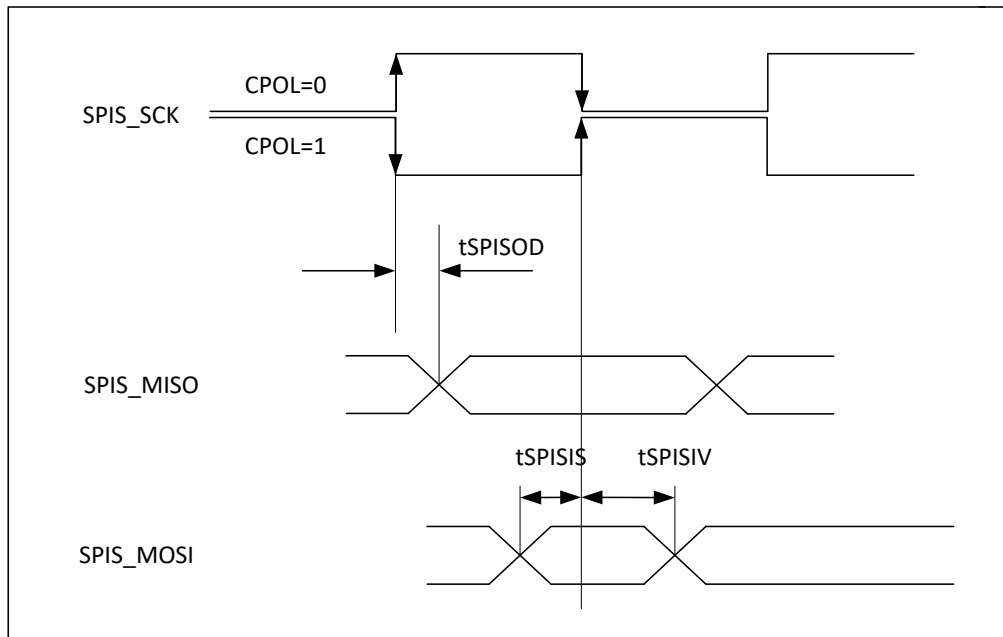


图 4-28 SPI-S 接口时序图 (CPHA=1)

4.10 I2C

表 4-22 I2C 接口信号时序参数 (标准和快速模式)

参数	符号	最小值	典型值	最大值	单位
SCL 时钟频率	f_{SCL}	-	-	标准 100 快速 400	kHz
SCL 高电平脉冲宽度	$t_{SCLHIGH}$	标准 4.0 快速 0.6	-	-	μs
SCL 低电平脉冲宽度	t_{SCLLOW}	标准 4.7 快速 1.3	-	-	μs
起始和停止条件之间的总线空闲时间	t_{BUF}	标准 4.7 快速 1.3	-	-	μs
起始条件保持时间	t_{STARTS}	标准 4.0 快速 0.6	-	-	μs
SDA 保持时间	t_{SDAH}	0	-	标准 3.45 快速 0.9	μs
SDA 建立时间	t_{SDAS}	标准 250 快速 100	-	-	ns
停止条件建立时间	t_{STOPH}	标准 4.0 快速 0.6	-	-	μs

表 4-23 I2C 接口信号时序参数 (高速模式)

参数	符号	最小值	典型值	最大值	单位
SCL 时钟频率	f_{SCL}	-	-	1.7 ($C_b=400pf$) 3.4 ($C_b=100pf$)	MHz



SCL 高电平脉冲宽度	t_{SCLHIGH}	120 ($C_b=400\text{pf}$) 60 ($C_b=100\text{pf}$)	-	-	ns
SCL 低电平脉冲宽度	t_{SCLLOW}	320 ($C_b=400\text{pf}$) 160 ($C_b=100\text{pf}$)	-	-	ns
起始条件保持时间	t_{STARTS}	160 ($C_b=400\text{pf}$) 160 ($C_b=100\text{pf}$)	-	-	ns
SDA 保持时间	t_{SDAH}	0	-	150 ($C_b=400\text{pf}$) 70 ($C_b=100\text{pf}$)	ns
SDA 建立时间	t_{SDAS}	10 ($C_b=400\text{pf}$) 10 ($C_b=100\text{pf}$)	-	-	ns
停止条件建立时间	t_{STOPH}	160 ($C_b=400\text{pf}$) 160 ($C_b=100\text{pf}$)	-	-	ns

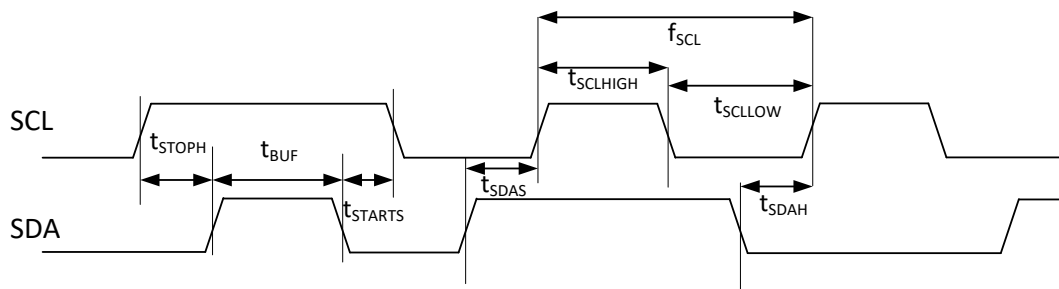


图 4-29 I2C 接口时序图

4.11 I2S

表 4-24 I2S 接口信号时序参数

参数	符号	最小值	典型值	最大值	单位
ws 有效延迟时间	$T_{\text{ws_d}}$	-	$0.5T_{\text{sclk}}$	$0.5T_{\text{sclk}}$	ns
sclk 有效到 ws 无效, 或者 ws 无效到 sclk 有效间保持时间	$T_{\text{ws_h}}$	0	-	-	ns
sdi 建立时间	$T_{\text{sdi_s}}$	10	-	-	ns
sdi 保持时间	$T_{\text{sdi_h}}$	0	-	-	ns
sdo 延迟时间	$T_{\text{sdo_h}}$	$0.5T_{\text{sclk}}$	$0.5T_{\text{sclk}}$	-	ns
sdo 保持时间	$T_{\text{sdo_d}}$	-	$0.5T_{\text{sclk}}$	$0.5T_{\text{sclk}}$	ns

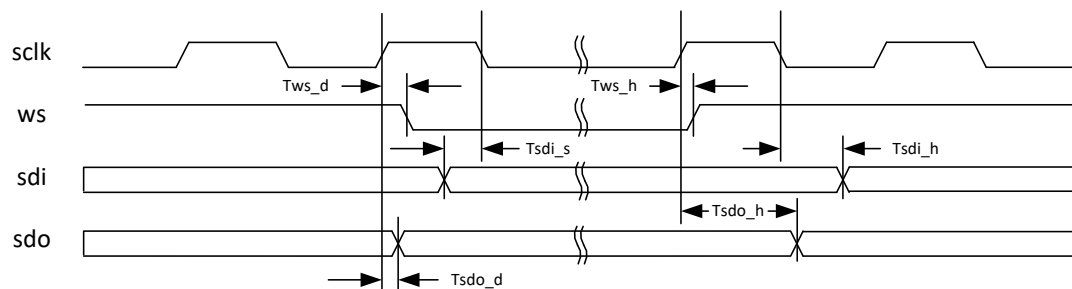


图 4-30 I2S 接口信号时序图



5 修订历史

表 5-1 GSC3290 数据手册修订历史

序号	芯片版本	修订内容	修订时间
1	GSC3290 MPW	发布数据手册第一版	2019-02-27
2	GSC3290 fullmask	根据 fullmask 版本的改动进行相应更新	2019-09-16