
GSC3281 数据手册

2013 年 8 月

版本号: 1.8

北京神州龙芯集成电路设计有限公司

BLX IC Design Co., Ltd



目录

目录	I
图目录	II
表目录	III
1 产品概览.....	2
1.1 产品简介.....	2
1.2 功能特性.....	3
1.3 结构框图.....	5
2 封装引脚.....	6
2.1 封装外形.....	6
2.2 引脚分配.....	8
2.3 信号描述.....	16
3 电气特性.....	24
3.1 绝对最大额定值.....	24
3.2 推荐工作条件.....	24
3.3 直流特性.....	25
3.4 复位时序.....	25
3.5 上电顺序.....	26
4 接口时序.....	27
4.1 JTAG	27
4.2 DDR2	27
4.3 NAND Flash	29
4.4 EMI	31
4.4.1 EMI 读时序	31
4.4.2 EMI 写时序	31
4.5 以太网 MAC.....	32
4.6 SPI.....	33
4.7 I2C	35
4.8 I2S.....	36
5 修订历史.....	38



图目录

图 1-1 GSC3281 结构框图	5
图 2-1 GSC3281 LFBGA256 封装顶视图与底视图	6
图 2-2 GSC3281 LFBGA256 封装侧视图与剖面图	7
图 2-3 GSC3281 LFBGA256 封装效果图（底视图）	8
图 3-1 仅使用内部上电复位电路的复位时序	25
图 3-2 复位引脚 <code>sys_rstn</code> 外接上电复位电路的复位时序	26
图 3-3 复位引脚 <code>sys_rstn</code> 连接手动复位的复位时序	26
图 3-4 GSC3281 不同电源域上电顺序	26
图 4-1 JTAG 工作时序	27
图 4-2 DDR2 SDRAM 读操作时序	28
图 4-3 DDR2 SDRAM 写操作时序	29
图 4-4 NAND Flash 控制器写命令时序	29
图 4-5 NAND Flash 控制器写地址时序	30
图 4-6 NAND Flash 控制器写数据时序	30
图 4-7 NAND Flash 控制器读数据时序	30
图 4-8 EMI 读时序参数	31
图 4-9 EMI 读时序图	31
图 4-10 EMI 写时序图	32
图 4-11 MDIO 接口时序图	32
图 4-12 RMII 模式接口时序图	33
图 4-13 SPI 接口时序图（ <code>CPHA=0</code> ）	34
图 4-14 SPI 接口时序图（ <code>CPHA=1</code> ）	34
图 4-15 I2C 接口时序图	36
图 4-16 I2S 接口信号时序图	37



表目录

表 2-1 GSC3281 LFBGA256 封装尺寸参数.....	8
表 2-2 GSC3281 芯片引脚分配[注 1].....	9
表 2-3 GSC3281 信号描述.....	16
表 3-1 GSC3281 芯片绝对最大额定值.....	24
表 3-2 GSC3281 芯片推荐工作条件.....	24
表 3-3 GSC3281 芯片直流特性.....	25
表 4-1 JTAG 时序参数.....	27
表 4-2 DDR2 读写操作时序参数.....	27
表 4-3 NAND Flash 控制器时序参数.....	30
表 4-4 EMI 写时序参数.....	31
表 4-5 MDIO 接口时序参数.....	32
表 4-6 RMII 模式接口时序参数.....	32
表 4-7 SPI 接口参数.....	33
表 4-8 SPI 启动时序参数.....	34
表 4-9 SPI Flash 启动时序图.....	35
表 4-10 I2C 接口信号时序参数（标准和快速模式）.....	35
表 4-11 I2C 接口信号时序参数（高速模式）.....	36
表 4-12 I2S 接口信号时序参数.....	36
表 5-1 GSC3281 数据手册修订历史.....	38



1 产品概览

1.1 产品简介

GSC3281 芯片是一款主要面向工业终端类应用的 SOC 芯片，采用 0.13um 标准 CMOS 制造工艺，主频 200~300MHZ。GSC3281 以 32 位龙芯处理器作为主控处理器，并在片内集成了丰富的功能模块与外围设备，包括 10/100Mbps 以太网 MAC 控制器、USB2.0 OTG 控制器、DDR2 控制器、NAND Flash 控制器、I2C、I2S、UART、SPI、PWM、旋转编码器鉴相器、定时器等。丰富的片内集成设备提高了整体性能，降低了系统成本，并可以满足更多的应用需求。

GSC3281 芯片的一个显著特征是采用了 32 位龙芯处理器作为主控处理器。32 位龙芯处理器是一款 7 级流水乱序执行 RISC 处理器，具有独立的 16KB 指令 cache 与 16KB 数据 cache，支持 MMU，可以运行 Linux、WinCE、VxWorks 等主流操作系统。

GSC3281 内部总线架构采用了主流的 AXI、AHB、APB 总线，并针对片内设备的特点与应用需求进行了一系列设计结构优化，提高了系统性能与数据吞吐率。同时，GSC3281 芯片采用了一系列的低功耗优化措施，包括休眠模式、关闭无用时钟、低频运行等，软硬件的配合可以显著降低整个芯片的功耗。针对具体应用，通过软硬件优化措施，GSC3281 芯片可在性能、功耗、灵活性等方面达到一个最佳的平衡。

GSC3281 芯片具有较好的通用性，除了云计算、工业控制、税控终端、智能电网集中器等终端类应用之外，还可以拓展应用于不同的相关领域，例如信息安全领域。

GSC3281 芯片集成了丰富的片上功能，本手册后续部分将分别对此进行详细的介绍。GSC3281 芯片主要集成了如下的片上功能：

- 32 位龙芯处理器作为主控处理
- 支持 NAND Flash 与 SPI 两种启动模式
- DDR2 控制器，最高支持 16x533Mbps 数据传输速率
- NAND Flash 控制器，支持 8 位 SLC/MLC NAND Flash 颗粒
- 外部静态存储器接口（EMI 接口）
- 10/100Mbps 自适应以太网 MAC 控制器
- USB2.0 OTG 控制器
- 多通道 DMA 控制器
- 可编程中断控制器
- 1 路旋转编码器接口与 3 通道 PWM 接口，支持电机控制 PWM 与普通 PWM
- 8 个 UART 接口，支持包括 2/3/8 线以及 232/485 等不同类型的串口
- 2 个 SPI 主机接口
- 4x4 矩阵键盘接口
- 2 个 7816 主机接口
- 1 个 I2C 主机接口
- 1 个 I2S 主机接口
- 2 个 PS2 主机接口
- 4 路 ADC 接口
- 4 个可编程定时器
- 1 个看门狗定时器



- 87 个可编程 GPIO 引脚与 31 个外部中断源
- 片上可编程 PLL 时钟发生器

1.2 功能特性

龙芯处理器

- 32 位 RISC 体系结构
- 7 级乱序执行流水线
- 包含硬件乘法器与除法器
- 16KB 指令 cache 与 16KB 数据 cache
- 关键字优先与非阻塞 cache
- 支持 MMU 并包含 32 项 TLB
- 支持 EJTAG 片上调试功能
- 采用 AXI 接口
- 支持 Linux、WinCE 等主流操作系统

两种启动模式

- NAND Flash 启动
- SPI Flash 启动
- 通过引脚配置选择启动模式

DDR2 内存控制器

- 最高数据传输速率为 16x600Mbps
- 16 位数据位宽
- 最大支持 256MB 存储容量
- 支持 1 个 rank
- 软件可配置 PHY 时序

NAND Flash 控制器

- 支持 8 位 SLC/MLC NAND Flash 颗粒
- 支持 2KB/4KB 页大小
- 支持硬件 BCH ECC 校验码
- 支持省电模式
- 读写时序参数可配置
- 具有启动功能
- 内置 DMA 引擎

外部静态存储器接口 (EMI 接口)

- 支持采用异步 SRAM 时序的接口设备
- 支持 8 位数据位宽
- 最大支持 3 个片外设备
- 对于非 SRAM 类型的设备可支持 READY 握手信号

10/100Mbps 以太网 MAC 控制器

- 支持 IEEE 802.3 协议
- 支持标准 RMII 接口
- 支持 10/100Mbps 传输速率
- 支持全双工和半双工操作模式
- 内置接收和发送 DMA
- 自动丢弃错误帧
- 支持对特殊 MAC 地址的检测
- Hash 表支持对单播和多播地址的匹配
- 支持混杂模式, 即可接收 LAN 中所有帧
- 支持 VLAN 帧的识别
- 支持 IP 报文头部 checksum 字段检验
- 支持 TCP/IP 报文中 checksum 字段插入

USB2.0 OTG 控制器

- 支持主机与设备模式
- 支持非点对点模式 (即支持 HUB)
- 内置 DMA 引擎
- 主机模式下共有 8 个 channel
- 设备模式下共有 5 个 endpoints
- 内部 FIFO 大小为 1024x35bit

多通道 DMA 控制器

- 4 通道 DMA
- 支持存储器到存储器、存储器到外设、外设到存储器、外设到外设等传输类型
- 支持 single-block 与 multi-block 传输
- 支持软件握手与硬件握手的 DMA 请求
- 支持 16 个硬件握手请求

可编程中断控制器

- 支持 27 个中断源
- 高电平触发中断
- 每一个中断可分别进行使能与屏蔽
- 所有中断源具有相同的中断优先级
- 软件可强制某一个中断源产生中断
- 可在时钟关闭的情况下接收中断并向 CPU 发出中断请求



SPI 主机接口

- 2 个 SPI 接口，均为主机模式
- SPI1 接口支持启动功能
- 支持查询、中断和 DMA 传输模式
- 支持 256 种波特率
- 支持 Byte Sleep
- 数据帧长度可配置为 2-17 位
- 支持 MSB 优先或 LSB 优先
- 支持全双工通信
- 支持全部四种 SPI 模式

4x4 矩阵键盘接口

- 支持最大 4x4 矩阵键盘
- 待机模式下可通过按键产生唤醒中断
- 支持单键与同时按下任意双键的情况

7816 主机接口

- 两个 7816 主机接口
- 支持 ISO7816-3 协议
- 异步半双工模式
- 支持 T=0 协议
- 支持可编程波特率
- 支持正向模式和反向模式
- 支持奇偶校验。
- 支持自动重传

3 通道 PWM 与旋转编码器接口

- 支持 3 个独立的 PWM 通道
- 支持一个增量式旋转编码器
- PWM 支持两种工作模式：普通 PWM 模式与电机控制 PWM 模式
- PWM 模式下可以产生 6 个单边沿输出、3 个双边沿输出或者混合输出
- PWM 模式下未用通道可用作定时器
- 电机 PWM 模式下每个通道产生两个极性相反的输出
- 支持 3 个捕获输入
- 支持 1 个快速终止输入

UART

- 8 个 UART，均兼容 16550a
- 支持 5~8 位数据位
- 支持 1/1.5/2 位停止位

- UART0/1/2/7 支持 2 线 232 连接
- UART3/4/5 支持 3 线 485 连接
- UART6 支持 8 线全功能串口
- UART3/4/5/6 支持 DMA 传输
- UART7 支持红外接口
- 232 连接支持最大波特率 3.7Mbps
- 485 连接支持最大波特率 12Mbps

I2C 主机接口

- 支持主机模式
- 支持标准、快速与高速三种传输速率
- 支持 7/10 位寻址方式
- 支持查询、中断与 DMA 传输方式

I2S 主机接口

- 支持主机模式
- 1 个接收通道与 1 个发送通道
- 支持 12/16/20/24/32 位采样宽度
- 支持 DMA 传输模式

PS2 主机接口

- 支持两个 PS2 主机接口
- 可用于连接鼠标和键盘
- 11 位数据帧格式
- 独立的发送与接收模块
- 支持查询和中断传输模式

ADC 接口

- 4 通道 SAR 型 ADC
- 12 位精度
- 支持最高采样率为 120Ksps
- 支持低功耗模式

可编程定时器

- 4 个 32 位定时器
- 每个定时器时钟独立可配置
- 支持循环定时与单次定时两种工作模式

看门狗定时器

- 32 位看门狗定时器
- 可配置看门狗定时器计数时钟
- 发生超时的时候，允许直接产生系统复位信号，也允许先产生中断再产生系统



复位信号

可编程 GPIO 引脚

- 87 个 GPIO 引脚，每个引脚独立可配置
- 其中 31 个 GPIO 可用作外部中断源
- 支持高电平、低电平、上升沿、下降沿等 4 种中断触发模式
- 具有内部消抖电路可用于对外部中断源输入进行消抖

片上 PLL

- 输出频率范围 62.5MHZ~1500MHZ
- 外部引脚可配置 8 种 PLL 输出频率
- 运行时软件可灵活配置 PLL 输出频率

工作电压

- 核心电压：1.2V
- IO 电压：3.3V
- DDR2 接口电压：1.8V

- USB2.0 OTG 数字电压：1.2V
- USB2.0 OTG 模拟电压：3.3V
- PLL 模拟电压：1.2V
- PLL 数字电压：1.2V
- ADC 模拟电压：3.3V
- ADC 数字电压：1.2V

温度范围

- -40℃~85℃

工作频率

- DDR2 PHY 最高工作频率 600MHZ
- CPU 最高工作频率 300MHZ
- AXI 总线最高工作频率 300MHZ
- AHB 总线最高工作频率 200MHZ
- APB 总线最高工作频率 66.7MHZ

封装

- LFBGA256 封装

1.3 结构框图

GSC3281 芯片以龙芯处理器为核心，集成了丰富的片上设备，所有的功能模块通过 AMBA 总线进行连接，包括 AXI 总线、AHB 总线以及 APB 总线，构成了一个独立的片上系统。GSC3281 芯片的整体结构框图如图 1-1 所示。

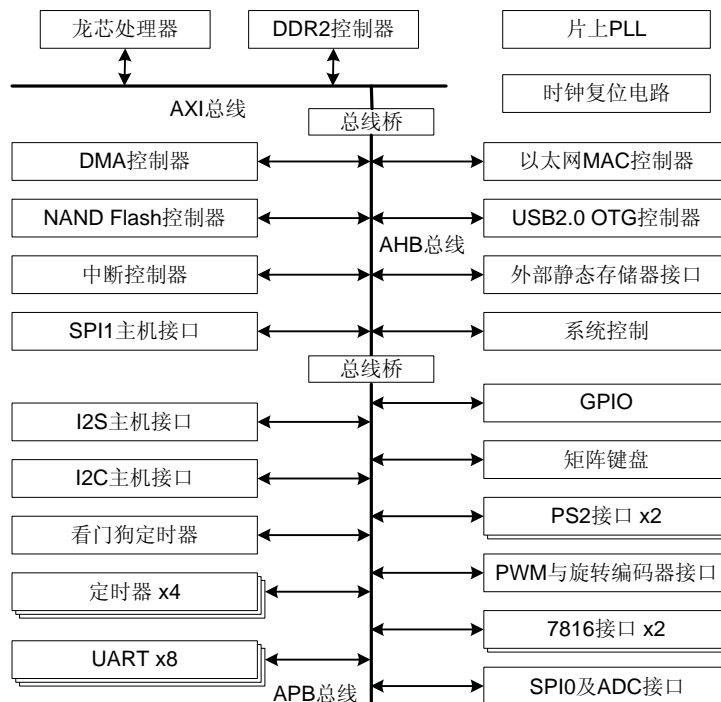


图 1-1 GSC3281 结构框图



2 封装引脚

2.1 封装外形

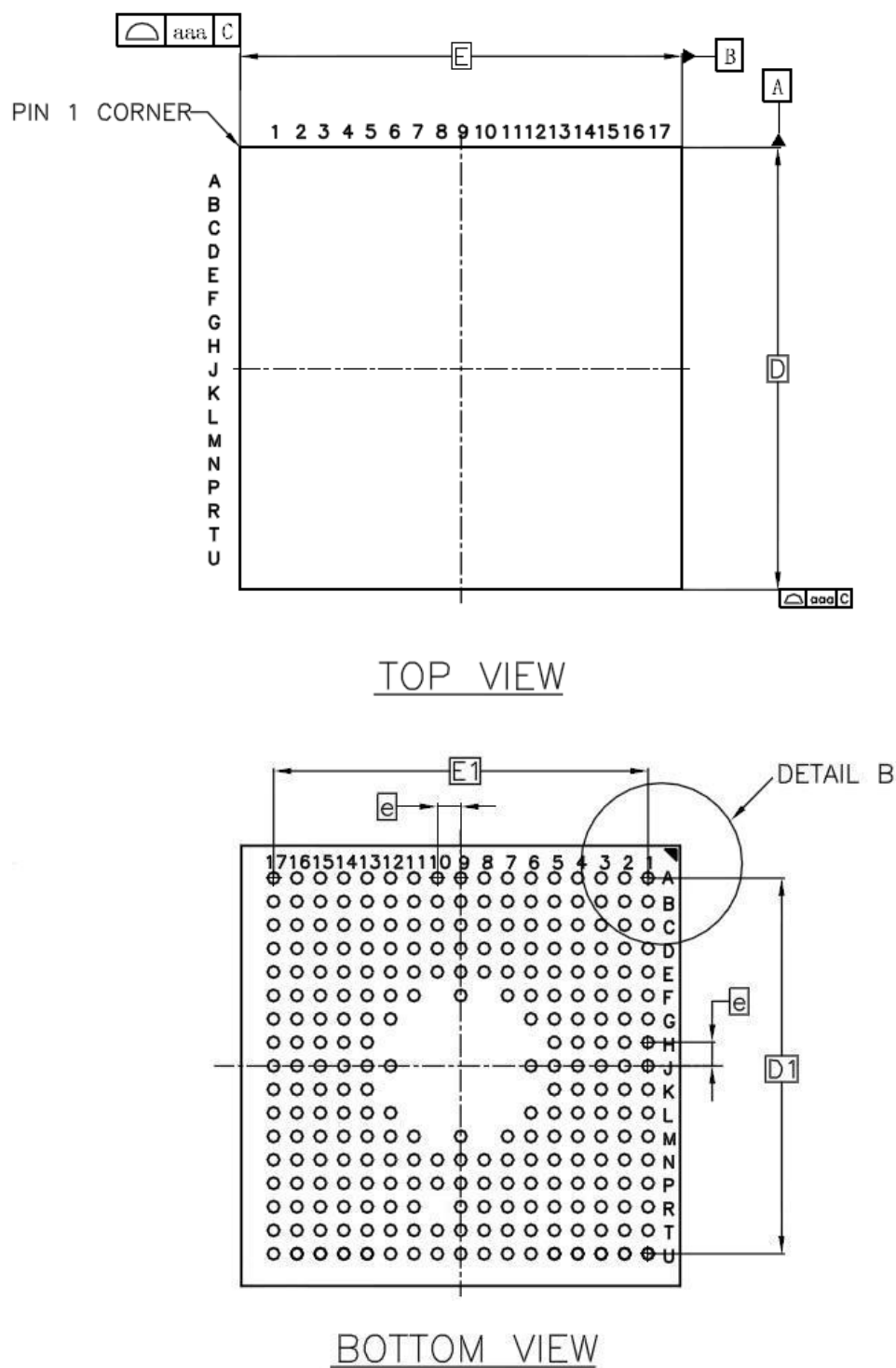


图 2-1 GSC3281 LFBGA256 封装顶视图与底视图

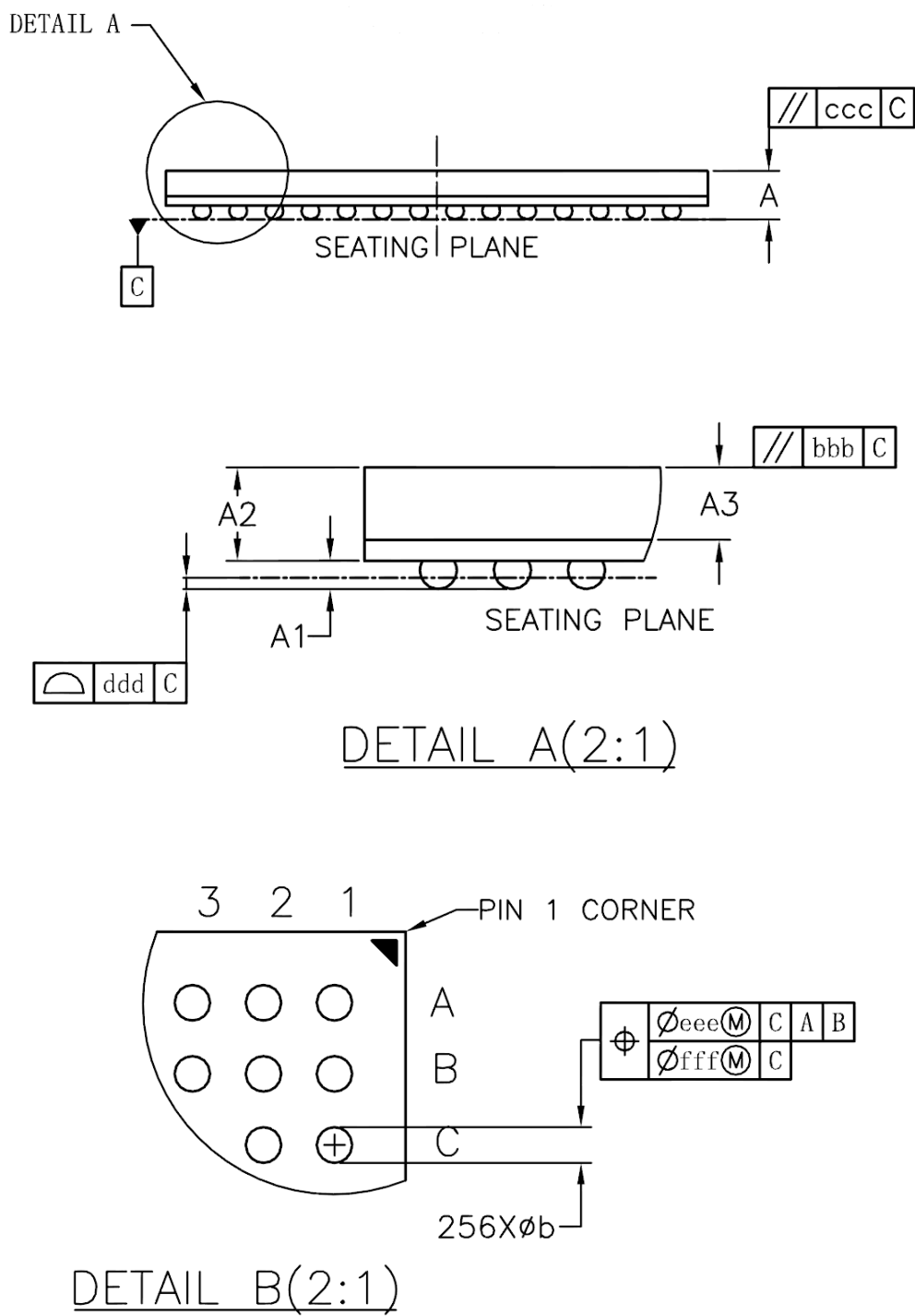


图 2-2 GSC3281 LFBGA256 封装侧视图与剖面图



表 2-1 GSC3281 LFBGA256 封装尺寸参数

符号	尺寸/单位:mm		
	MIN	NOM	MAX
A	-	-	1.40
A1	0.25	0.30	0.35
A2	0.92	0.96	1.00
A3	0.70 BASIC		
D	14.90	15.00	15.10
D1	12.80 BASIC		
E	14.90	15.00	15.10
E1	12.80 BASIC		
e	0.80 BASIC		
b	0.35	0.40	0.45
aaa	0.15		
bbb	0.25		
ccc	0.20		
ddd	0.12		
eee	0.20		
fff	0.10		

2.2 引脚分配

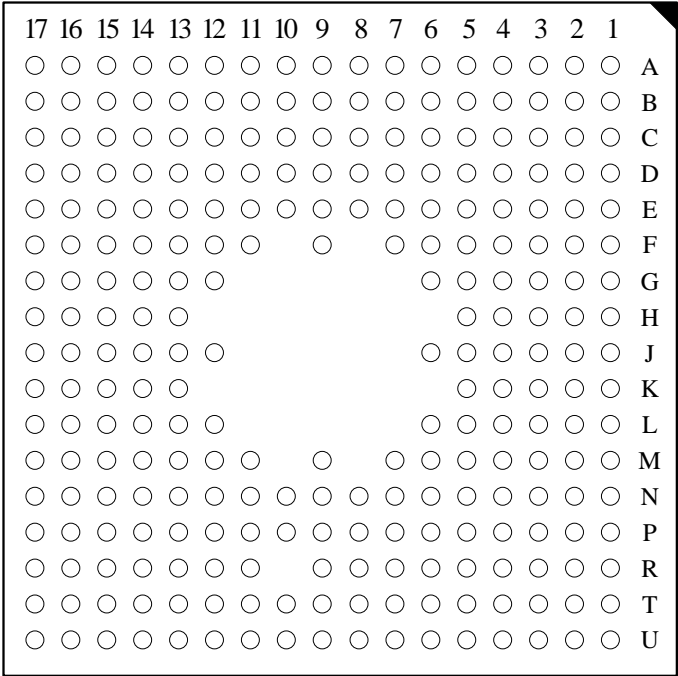


图 2-3 GSC3281 LFBGA256 封装效果图（底视图）

表 2-2 GSC3281 芯片引脚分配^[注 1]

序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
A1	pll_io_vss	I	pll_io_vss						I
A2	pll_avss12	I	pll_avss12						I
A3	pll_avdd12	I	pll_avdd12						I
A4	jtck	I	gpi27	jtck					I
A5	sysrstn	I	sys_rstn					U	I
A6	clkssel	I	clk_sel					D	I
A7	jtdo_u1txd_pwmout2	O	gpo82	jtdo	u1_txd	pwmout_2			O
A8	dq2	B	dq2						I
A9	dq0	B	dq0						I
A10	dqs0	B	dqs0						I
A11	dq6	B	dq6						I
A12	dqsb1	B	dqsb1						I
A13	dqs1	B	dqs1						I
A14	dq13	B	dq13						I
A15	dq14	B	dq14						I
A16	vcc18	I	vcc18						I
A17	ck	O	ck						O
B1	reserved ^[注 2]	-	reserved						-
B2	pll_io_vdd	I	pll_io_vdd						I
B3	pll_dvdd12	I	pll_dvdd12						I
B4	clkout	O	gpio63	clk_out					O
B5	pvss33	I	pvss33						I
B6	extclk	I	ext_clk						I
B7	jtdi_bistmoden_u1rx_dcap1	I	gpi81	jtdi	u1_rxd	cap1		U	I
B8	dq5	B	dq5						I
B9	dq7	B	dq7						I
B10	dqsb0	B	dqsb0						I
B11	dm0	O	dm0						O
B12	dq8	B	dq8						I
B13	dq10	B	dq10						I
B14	dm1	O	dm1						O
B15	dq12	B	dq12						I
B16	addr0	O	addr0						O
B17	ckb	O	ckb						O



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
C1	usb_xi	I	usb_xi						I
C2	usb_vss33c	I	vss33c						I
C3	pll_dvss12	I	pll_dvss12						I
C4	gpio87	B	gpio87						I
C5	testmode	I	test_mode					D	I
C6	jrstn	I	gpi28	jrstn				D	I
C7	jtms_testcmprn_cap2	I	gpi29	jtms		cap2		U	I
C8	vcc18	I	vcc18						I
C9	vss	I	vss						I
C10	dq1	B	dq1						I
C11	dq3	B	dq3						I
C12	dq15	B	dq15						I
C13	dq9	B	dq9						I
C14	dq11	B	dq11						I
C15	vss	I	vss						I
C16	vss	I	vss						I
C17	cke	O	cke						O
D1	usb_xo	I	usb_xo						I
D2	dvss12	I	dvss12						I
D3	dvdd12	I	dvdd12						I
D4	avdd33	I	avdd33						I
D5	avss33	I	avss33						I
D6	tapsel	I	tap_sel					D	I
D7	i2csda	B	gpio77	i2c_sda				U	I
D8	i2cscl	B	gpio76	i2c_scl				U	I
D9	vcc18	I	vcc18						I
D10	dq4	B	dq4						I
D11	vcc18	I	vcc18						I
D12	vcc18	I	vcc18						I
D13	vss	I	vss						I
D14	vss	I	vss						I
D15	vcc18	I	vcc18						I
D16	vcc18	I	vcc18						I
D17	addr1	O	addr1						O
E1	usb_dmns	B	usb_dm						I
E2	usb_txr_rkl	B	txrtune/ rkelvin						I
E3	avss33	I	avss33						I



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
E4	avdd33	I	avdd33						I
E5	pvdd12	I	pvdd12						I
E6	pvdd12	I	pvdd12						I
E7	pvss33	I	pvss33						I
E8	pvdd12	I	pvdd12						I
E9	pvss12	I	pvss12						I
E10	pvdd12	I	pvdd12						I
E11	vss	I	vss						I
E12	vss	I	vss						I
E13	vcc18	I	vcc18						I
E14	vcc18	I	vcc18						I
E15	addr4	O	addr4						O
E16	addr3	O	addr3						O
E17	addr2	O	addr2						O
F1	usb_dpls	B	usb_dp						I
F2	usb_idpin	I	usb_id					U	I
F3	usb_vbus	B	vbus						I
F4	avss1	I	adc_avss1						I
F5	pvdd33	I	pvdd33						I
F6	pvss33	I	pvss33						I
F7	pvss12	I	pvss12						I
F9	pvdd12	I	pvdd12						I
F11	pvdd12	I	pvdd12						I
F12	vss	I	vss						I
F13	vss	I	vss						I
F14	vcc18	I	vcc18						I
F15	csb	O	csb						O
F16	addr6	O	addr6						O
F17	ba1	O	ba1						O
G1	pvdd33	I	pvdd33						I
G2	xp	I	xp						I
G3	avdd1	I	adc_avdd1						I
G4	avss2	I	adc_avss2						I
G5	pvdd33	I	pvdd33						I
G6	pvdd12	I	pvdd12						I
G12	pvss12	I	pvss12						I
G13	vss	I	vss						I
G14	vcc18	I	vcc18						I



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
G15	ba2	O	ba2						O
G16	addr7	O	addr7						O
G17	ba0	O	ba0						O
H1	pbat	I	pbat						I
H2	xn	I	xn						I
H3	avdd2	I	adc_avdd2						I
H4	pvdd12	I	pvdd12						I
H5	pvss12	I	pvss12						I
H13	vss	I	vss						I
H14	vss	I	vss						I
H15	addr10	O	addr10						O
H16	addr9	O	addr9						O
H17	addr5	O	addr5						O
J1	yn	I	yn						I
J2	yp	I	yp						I
J3	u6dsrn	B	gpio5	u6_dsr_n					I
J4	pvss33	I	pvss33						I
J5	pvdd12	I	pvdd12						I
J6	pvss33	I	pvss33						I
J12	vss	I	vss						I
J13	vcc18	I	vcc18						I
J14	pvdd12	I	pvdd12						I
J15	addr13	O	addr13						O
J16	rasb	O	rasb						O
J17	web	O	web						O
K1	u6rx_d_u3rx_d	B	gpio46	u6_rxd		u3_rxd_0			I
K2	u6tx_d_u3tx_d	B	gpio47	u6_txd		u3_txd_0			I
K3	u6ri	B	gpio4	u6_ri					I
K4	pvdd33	I	pvdd33						I
K5	pvss33	I	pvss33						I
K13	pvdd12	I	pvdd12						I
K14	addr8	O	addr8						O
K15	addr11	O	addr11						O
K16	addr12	O	addr12						O
K17	casb	O	casb						O
L1	u6dcd_n_u4txe	B	gpio3	u6_dcd_n		u4_txe_0			I
L2	u6dtr_n_u4txd	B	gpio2	u6_dtr_n		u4_txd_0			I
L3	u6ctsn_u4rxd	B	gpio1	u6_cts_n		u4_rxd_0			I



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
L4	pvss12	I	pvss12						I
L5	pvdd12	I	pvdd12						I
L6	pvss33	I	pvss33						I
L12	pvss33	I	pvss33						I
L13	pvss12	I	pvss12						I
L14	pvss33	I	pvss33						I
L15	pvss12	I	pvss12						I
L16	pvdd12	I	pvdd12						I
L17	odt	O	odt						O
M1	emicsn1_i2ssdi_pwmout1	B	gpio83	emi_csn1	i2s_sdi	pwmout_1			I
M2	sim1vccen_i2ssdo	B	gpio84	sim1_vccen	i2s_sdo				I
M3	u6rtsn_u3txe	B	gpio0	u6_rts_n		u3_txe_0			I
M4	pwmout0	B	gpio86		pwmout_0				I
M5	pvdd33	I	pvdd33						I
M6	pvss33	I	pvss33						I
M7	pvdd12	I	pvdd12						I
M9	pvdd12	I	pvdd12						I
M11	pvdd12	I	pvdd12						I
M12	pvdd12	I	pvdd12						I
M13	pvdd12	I	pvdd12						I
M14	nfdat2_emid2	B	gpio40	nfdat2		emi_d2			I
M15	pvss33	I	pvss33						I
M16	pvss33	I	pvss33						I
M17	row2	B	gpio79	row2					I
N1	emicsn0_i2s_ws	B	gpio78	emi_csn0	i2s_ws				I
N2	u0txd_sim1rstn	B	gpio49	u0_txd		sim1_rstn_0			I
N3	u5txd_sim1io	B	gpio7	u5_txd		sim1_io_0			I
N4	u5rxid_sim1clk	B	gpio6	u5_rxd		sim1_clk_0			I
N5	pvdd33	I	pvdd33						I
N6	pvss33	I	pvss33						I
N7	pvss12	I	pvss12						I
N8	pvdd12	I	pvdd12						I
N9	pvss12	I	pvss12						I
N10	pvss12	I	pvss12						I
N11	pvss33	I	pvss33						I
N12	pvss33	I	pvss33						I
N13	pvss12	I	pvss12						I



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
N14	pvss12	I	pvss12						I
N15	nfdat1_emid1	B	gpio39	nfdat1		emi_d1			I
N16	nfdat0_emid0	B	gpio38	nfdat0		emi_d0			I
N17	col2	B	gpio80		col2			U	I
P1	rmclk	B	gpio67	rmclk					I
P2	rmrx0	B	gpio72	rmrx0					I
P3	u0rx0_u5txe	B	gpio48	u0_rxd		u5_txe_0			I
P4	emicsn2_utmidrvvbus_u5txe	B	gpio85	emi_csn2	utmi_drvvbus	u5_txe_1			I
P5	u4rx0	B	gpio54	u4_rxd_1					I
P6	u4tx0	B	gpio55	u4_txd_1					I
P7	u7rx0	B	gpio56	u7_rxd					I
P8	pvdd12	I	pvdd12						I
P9	emia3	B	gpio9			emi_a3			I
P10	pwmout4_psdat0	B	gpio22	pwmout_4	ps_dat_0				I
P11	pvdd33	I	pvdd33						I
P12	pwmabort_psclk1	B	gpio20	pwm_abort	ps_clk_1				I
P13	pvdd33	I	pvdd33						I
P14	nfdat3_emid3	B	gpio41	nfdat3		emi_d3			I
P15	nfdat4_emid4	B	gpio42	nfdat4		emi_d4			I
P16	pvdd33	I	pvdd33						I
P17	nfdat5_emid5	B	gpio43	nfdat5		emi_d5			I
R1	rmrx0	B	gpio71	rmrx0					I
R2	rmrx1	B	gpio73	rmrx1					I
R3	sim0vccen_row0_emia1	B	gpio30	sim0_vccen	row0	emi_a1			I
R4	sim0rstn	B	gpio16	sim0_rstn					I
R5	u2tx0	B	gpio51	u2_txd					I
R6	u3tx0	B	gpio53	u3_txd_1					I
R7	sim1io	B	gpio60	sim1_io_1					I
R8	gpio8	B	gpio8						I
R9	emia4	B	gpio10			emi_a4			I
R11	gpio62	B	gpio62						I
R12	cap0_psdat1	B	gpio19	cap0	ps_dat_1				I
R13	pwmout3_bootmode1_psclk0	B	gpio21	pwmout_3	ps_clk_0		boot_mode1		I
R14	spi1csn	B	gpio61	spi1_csn					I
R15	nfcscn_bootmode0	B	gpo32	nfcscn			boot_mode0		I
R16	pvss33	I	pvss33						I



序号	名称	类型	功能					上拉 / 下拉	复位状态
			模式 1 (默认)	模式 2	模式 3	模式 4	模式 5		
R17	nfdat6_emid6	B	gpio44	nfdat6		emi_d6			I
T1	rmtxd1	B	gpio70	rmtxd1					I
T2	pvdd33	I	pvdd33						I
T3	mdc	B	gpio74	mdc					I
T4	sim0clk_row3_u3txe	B	gpio17	sim0_clk	row3	u3_txe_1			I
T5	u3rxd	B	gpio52			u3_rxd_1			I
T6	u7txd	B	gpio57	u7_txd					I
T7	pvss33	I	pvss33						I
T8	emia2	B	gpio31			emi_a2			I
T9	emia5	B	gpio11			emi_a5			I
T10	emia8	B	gpio14			emi_a8			I
T11	spi1miso	B	gpio64	spi1_miso					I
T12	pvdd33	I	pvdd33						I
T13	spi0miso_col1	B	gpio24	spi0_miso	col1			U	I
T14	spi0sck_col0_emia0	B	gpio26	spi0_sck	col0	emi_a0		U	I
T15	nfrnb_emirdy	B	gpio37	nfrnb		emi_rdy		U	I
T16	nfwen_emiwen	B	gpio36	nfwen		emi_wen		U	I
T17	nfdat7_emid7	B	gpio45	nfdat7		emi_d7			I
U1	rmtxd0	B	gpio69	rmtxd0					I
U2	rmtxen	B	gpio68	rmtxen					I
U3	mdio	B	gpio75	mdio					I
U4	sim0io_col3_u4txe	B	gpio18	sim0_io	col3	u4_txe_1		U	I
U5	u2rxd	B	gpio50	u2_rxd					I
U6	sim1rstn	B	gpio58	sim1_rstn_1					I
U7	sim1clk	B	gpio59	sim1_clk_1					I
U8	pvdd33	I	pvdd33						I
U9	emia6	B	gpio12			emi_a6			I
U10	emia7	B	gpio13			emi_a7			I
U11	pwmout5_i2sclk	B	gpio23	pwmout_5	i2s_clk				I
U12	spi1sck	B	gpio65	spi1_sck					I
U13	spi1mosi	B	gpio66	spi1_mosi					I
U14	spi0mosi_row1	B	gpio25	spi0_mosi	row1				I
U15	nfcle_clkcfg0	B	gpo33	nfcle	boot_clk_cfg0				I
U16	nfale_clkcfg1	B	gpo34	nfale	boot_clk_cfg1				I
U17	nfren_clkcfg2_emioen	B	gpo35	nfren	boot_clk_cfg2	emi_oen			I

[注 1]: 表中的缩写 I 表示输入, O 表示输出, B 表示双向, U 表示上拉, D 表示下拉。

[注 2]: reserved 表示该引脚用于保留功能, 可浮空不用。



2.3 信号描述

表 2-3 GSC3281 信号描述

名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
以太网 MAC 控制器接口				
rmclk	I		RMII 数据收发时钟	SYSCTL_IOMUX_CFG0[22]
rmtxen	O		MAC 发送数据使能信号	
rmtxd0	O		MAC 发送数据第 0 位	
rmtxd1	O		MAC 发送数据第 1 位	
rmrxdv	I		RMII 模式载波状态和接收数据有效	
rmrx0	I		MAC 接收数据第 0 位	
rmrx1	I		MAC 接收数据第 1 位	
mdc	O		MAC 控制字时钟	
mdio	B		MAC 控制字串行数据	
SPI 控制器 0 接口				
spi0_miso	I	U	SPI0 主设备数据输入信号, 由于引脚复用信号 col1 上拉而产生上拉	SYSCTL_IOMUX_CFG0[29]
spi0_mosi	O		SPI0 主设备数据输出信号	
spi0_sck	O	U	SPI0 器件工作时钟信号, 主设备输出。由于引脚复用信号 col0 上拉而产生上拉	
SPI 控制器 1 接口				
spi1_miso	I		SPI1 主设备数据输入信号	SYSCTL_IOMUX_CFG0[30]
spi1_mosi	O		SPI1 主设备数据输出信号	
spi1_sck	O		SPI1 器件工作时钟信号, 主设备输出	
spi1_csn	O		SPI1 片选, 低有效。不作为 SPI Flash 启动时, SPI1 片选也可以用 GPIO 实现	
矩阵键盘接口				
col0	I	U	矩阵键盘列输入第 0 位	SYSCTL_IOMUX_CFG0[23]
col1	I	U	矩阵键盘列输入第 1 位	
col2	I	U	矩阵键盘列输入第 2 位	
col3	I	U	矩阵键盘列输入第 3 位	
row0	O		矩阵键盘行输出第 0 位	
row1	O		矩阵键盘行输出第 1 位	
row2	O		矩阵键盘行输出第 2 位	
row3	O		矩阵键盘行输出第 3 位	
I2S 接口				
i2s_clk	O		I2S 位时钟	SYSCTL_IOMUX_CFG0[25]
i2s_sdi	I		I2S 串行数据输入	



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
i2s_sdo	O		I2S 串行数据输出	
i2s_ws	O		I2S 声道选择信号	
7816 控制器 0 接口				
sim0_rstn	O		SIM 卡 0 复位信号, 低有效	SYSCTL_IOMUX_CFG0[17]
sim0_clk	O		SIM 卡 0 时钟信号	
sim0_io	B	U	SIM 卡 0 的数据信号, 由引脚复用信号 col3 产生上拉	
sim0_vccen	O		SIM 卡 0 的电源使能信号	
7816 控制器 1 接口				
sim1_rstn_0	O		SIM 卡 1 复位信号, 低有效 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[18]
sim1_rstn_1				SYSCTL_IOMUX_CFG0[19]
sim1_clk_0	O		SIM 卡 1 时钟信号 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[18]
sim1_clk_1				SYSCTL_IOMUX_CFG0[19]
sim1_io_0	B		SIM 卡 1 的数据信号 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[18]
sim1_io_1				SYSCTL_IOMUX_CFG0[19]
sim1_vccen	O		SIM 卡 1 的电源使能信号	SYSCTL_IOMUX_CFG0[18] 或 SYSCTL_IOMUX_CFG0[19]
NAND Flash 控制器接口				
nfcsn	O		NAND Flash 片选信号, 低有效	SYSCTL_IOMUX_CFG0[2]
nfcle	O		NAND Flash 命令锁存使能信号	
nfale	O		NAND Flash 地址锁存使能信号	
nfren	O		NAND Flash 读使能信号, 低有效	
nfwen	O	U	NAND Flash 写使能信号, 低有效	
nfrnb	I	U	NAND Flash 的空/忙状态信号, 1 为空闲, 0 为忙	
nfdat0	B		NAND Flash 数据第 0 位	
nfdat1	B		NAND Flash 数据第 1 位	
nfdat2	B		NAND Flash 数据第 2 位	
nfdat3	B		NAND Flash 数据第 3 位	
nfdat4	B		NAND Flash 数据第 4 位	
nfdat5	B		NAND Flash 数据第 5 位	
nfdat6	B		NAND Flash 数据第 6 位	
nfdat7	B		NAND Flash 数据第 7 位	
外部静态存储器接口				
emi_csn0	O		EMI 片选第 0 位, 低有效	SYSCTL_IOMUX_CFG1[2]
emi_csn1	O		EMI 片选第 1 位, 低有效	SYSCTL_IOMUX_CFG1[3]
emi_csn2	O		EMI 片选第 2 位, 低有效	SYSCTL_IOMUX_CFG1[4]
emi_oen	O		EMI 读使能, 低有效	SYSCTL_IOMUX_CFG0[31]
emi_wen	O	U	EMI 写使能, 低有效。由于引脚复用信号 nfwen 上拉而产生上拉	



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
emi_rdy	I	U	外部 NOR Flash Ready 信号	
emi_d0	B		EMI 数据第 0 位	
emi_d1	B		EMI 数据第 1 位	
emi_d2	B		EMI 数据第 2 位	
emi_d3	B		EMI 数据第 3 位	
emi_d4	B		EMI 数据第 4 位	
emi_d5	B		EMI 数据第 5 位	
emi_d6	B		EMI 数据第 6 位	
emi_d7	B		EMI 数据第 7 位	
emi_a0	O	U	EMI 地址第 0 位, 由于引脚复用信号 col0 上拉而产生上拉	SYSCTL_IOMUX_CFG1[5]
emi_a1	O		EMI 地址第 1 位	
emi_a2	O		EMI 地址第 2 位	
emi_a3	O		EMI 地址第 3 位	SYSCTL_IOMUX_CFG1[6]
emi_a4	O		EMI 地址第 4 位	
emi_a5	O		EMI 地址第 5 位	
emi_a6	O		EMI 地址第 6 位	
emi_a7	O		EMI 地址第 7 位	
emi_a8	O		EMI 地址第 8 位	
DDR2 控制器接口				
cke	O		DDR2 时钟使能	专用引脚, 未进行复用
ck	O		DDR2 时钟信号	
ckb	O		DDR2 反向时钟信号	
odt	O		DDR2 ODT 信号	
csb	O		DDR2 片选信号	
rasb	O		DDR2 行激活信号	
casb	O		DDR2 列激活信号	
web	O		DDR2 写使能信号	
dm0	O		DDR2 数据屏蔽第 0 位	
dm1	O		DDR2 数据屏蔽第 1 位	
addr0	O		DDR2 地址第 0 位	
addr1	O		DDR2 地址第 1 位	
addr2	O		DDR2 地址第 2 位	
addr3	O		DDR2 地址位 3 位	
addr4	O		DDR2 地址第 4 位	
addr5	O		DDR2 地址第 5 位	
addr6	O		DDR2 地址第 6 位	
addr7	O		DDR2 地址第 7 位	
addr8	O		DDR2 地址第 8 位	
addr9	O		DDR2 地址第 9 位	
addr10	O		DDR2 地址第 10 位	



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
addr11	O		DDR2 地址第 11 位	
addr12	O		DDR2 地址第 12 位	
addr13	O		DDR2 地址第 13 位	
ba0	O		DDR2 BANK 地址第 0 位	
ba1	O		DDR2 BANK 地址第 1 位	
ba2	O		DDR2 BANK 地址第 2 位	
dq0	B		DDR2 数据第 0 位	
dq1	B		DDR2 数据第 1 位	
dq2	B		DDR2 数据第 2 位	
dq3	B		DDR2 数据第 3 位	
dq4	B		DDR2 数据第 4 位	
dq5	B		DDR2 数据第 5 位	
dq6	B		DDR2 数据第 6 位	
dq7	B		DDR2 数据第 7 位	
dq8	B		DDR2 数据第 8 位	
dq9	B		DDR2 数据第 9 位	
dq10	B		DDR2 数据第 10 位	
dq11	B		DDR2 数据第 11 位	
dq12	B		DDR2 数据第 12 位	
dq13	B		DDR2 数据第 13 位	
dq14	B		DDR2 数据第 14 位	
dq15	B		DDR2 数据第 15 位	
dqs0	B		DDR2 数据选通第 0 位	
dqs1	B		DDR2 数据选通第 1 位	
dqsb0	B		DDR2 数据选通反相第 0 位	
dqsb1	B		DDR2 数据选通反相第 1 位	
vcc18	I		DDR2 数字电源(1.8V)	
vss	I		DDR2 数字地	
UART0 接口				
u0_rxd	I		UART0 的数据输入接口	SYSCTL_IOMUX_CFG0[3]
u0_txd	O		UART0 的数据输出接口	
UART1 接口				
u1_rxd	I	U	UART1 的数据输入接口 (RS-232), 由于引脚复用信号 jtdi 上拉而产生 上拉	SYSCTL_IOMUX_CFG0[4]
u1_txd	O		UART1 的数据输出接口 (RS-232)	
UART2 接口				
u2_rxd	I		UART2 的数据输入接口 (RS-232)	SYSCTL_IOMUX_CFG0[5]
u2_txd	O		UART2 的数据输出接口 (RS-232)	
UART3 接口				
u3_rxd_0	I		UART3 的数据输入接口 (RS-485)	SYSCTL_IOMUX_CFG0[6]



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
u3_rxd_1			软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[7]
u3_txd_0	O		UART3 数据输出接口 (RS-485)	SYSCTL_IOMUX_CFG0[6]
u3_txd_1			软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[7]
u3_txe_0	O		UART3 的数据输入输出控制	SYSCTL_IOMUX_CFG0[6]
u3_txe_1			(RS-485), 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[7]
UART4 接口				
u4_rxd_0	I		UART4 的数据输入接口 (RS-485)	SYSCTL_IOMUX_CFG0[8]
u4_rxd_1			软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[9]
u4_txd_0	O		UART4 的数据输出接口 (RS-485)	SYSCTL_IOMUX_CFG0[8]
u4_txd_1			软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[9]
u4_txe_0	O		UART4 的数据输入输出控制	SYSCTL_IOMUX_CFG0[8]
u4_txe_1		U	(RS-485), 其中 u4_txe_1 由于引脚 复用信号 col3 上拉而产生上拉 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[9]
UART5 接口				
u5_rxd	I		UART5 的数据输入接口 (RS-485)	SYSCTL_IOMUX_CFG0[10]
u5_txd	O		UART5 的数据输出接口 (RS-485)	SYSCTL_IOMUX_CFG0[10]
u5_txe_0	O		UART5 的数据输入输出控制	SYSCTL_IOMUX_CFG0[11]
u5_txe_1			(RS-485), 软件选择其中一组引脚	SYSCTL_IOMUX_CFG0[12]
UART6 接口				
u6_rxd	I		UART6 的数据输入接口	SYSCTL_IOMUX_CFG0[13]
u6_txd	O		UART6 的数据输出接口	
u6_rts_n	O		UART6 的发送请求, 低有效	SYSCTL_IOMUX_CFG1[16]
u6_cts_n	I		UART6 的发送可用, 低有效	
u6_dtr_n	O		UART6 的数据终端准备完毕, 低有效	SYSCTL_IOMUX_CFG1[17]
u6_dsr_n	I		UART6 的数据准备完毕, 低有效	
u6_ri	I		UART6 的响铃	
u6_dcd_n	I		UART6 的数据载波检测, 低有效	
UART7 接口				
u7_rxd	I		UART7 的数据输入接口 (UART7 的 红外输入)	SYSCTL_IOMUX_CFG0[14]
u7_txd	O		UART7 的数据输出接口 (UART7 的 红外输出)	
PWM 接口				
pwm_abort	I		PWM 快速终止输入	SYSCTL_IOMUX_CFG1[11]
cap0	I		PWM 捕获输入 1	
cap1	I	U	PWM 捕获输入 2, 由于引脚复用 信号 jtdi 上拉而产生上拉	SYSCTL_IOMUX_CFG1[12]
cap2	I	U	PWM 捕获输入 3, 由于引脚复用 信号 jtms 上拉而产生上拉	SYSCTL_IOMUX_CFG1[13]



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位	
pwmout_0	O		PWM 输出信号 0	SYSCTL_IOMUX_CFG0[28]	
pwmout_1	O		PWM 输出信号 1		
pwmout_2	O		PWM 输出信号 2		
pwmout_3	O		PWM 输出信号 3	SYSCTL_IOMUX_CFG1[14]	
pwmout_4	O		PWM 输出信号 4		
pwmout_5	O		PWM 输出信号 5	SYSCTL_IOMUX_CFG1[15]	
PS/2 控制器 0 接口					
ps_clk_0	B		PS/2 时钟	SYSCTL_IOMUX_CFG0[26]	
ps_dat_0	B		PS/2 数据		
PS/2 控制器 1 接口					
ps_clk_1	B		PS/2 时钟	SYSCTL_IOMUX_CFG0[27]	
ps_dat_1	B		PS/2 数据		
I2C 控制器接口					
i2c_scl	B	U	I2C 时钟	SYSCTL_IOMUX_CFG0[24]	
i2c_sda	B	U	I2C 数据		
USB 接口					
vbus	B		USB 5V 电源信号	专用引脚，未进行复用	
usb_id	I	U	USB ID 信号		
usb_dp	B		USB D+信号		
usb_dm	B		USB D-信号		
txrtune/rkelvin	B		USB2.0 PHY 的高速阻抗匹配调整		
usb_xo	I		晶体的 XO 信号		
usb_xi	I		晶体的 XI 信号		
avdd33	I		USB 模拟电源 3.3V		
avss33	I		USB 模拟地，对应 3.3V 电源		
dvdd12	I		USB 数字电源 1.2V		
dvss12	I		USB 数字地，对应 1.2V 电源		
vss33c	I		USB 模拟地，对应 3.3V 电源		
utmi_drvvbus	O		电荷泵使能	SYSCTL_IOMUX_CFG1[1]	
ADC 接口					
xp	I		外部 SAR-ADC 输入通道 0	专用引脚，未进行复用	
yp	I		外部 SAR-ADC 输入通道 2		
xn	I		外部 SAR-ADC 输入通道 1		
yn	I		外部 SAR-ADC 输入通道 3		
pbat	I		电池输入(3.3V-5V)		
adc_avdd1	I		模拟电源 1(3.3V)		
adc_avss1	I		模拟地 1		
adc_avdd2	I		模拟电源 2(3.3V)		
adc_avss2	I		模拟地 2		
JTAG 接口					
tap_sel	I	D	JTAG（测试访问口）选择	专用引脚，未进行复用	



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
			0: 选择 EJTAG; 1: 选择 SOC	
jtck	I	U	JTAG 时钟	SYSCTL_IOMUX_CFG1[0]
jrstn	I	D	JTAG 复位, 低有效	
jtdi	I	U	JTAG 数据输入	
jtdo	O		JTAG 数据输出	
jtms	I	U	JTAG 工作模式	
时钟/复位				
sys_rstn	I	U	系统复位, 低有效	专用引脚, 未进行复用
ext_clk	I		外部输入参考时钟	专用引脚, 未进行复用
test_mode	I	D	1 为测试模式, 0 为正常工作模式	专用引脚, 未进行复用
clk_sel	I	D	参考时钟选择 1: 选择外部参考时钟; 0: 选择内部参考时钟	专用引脚, 未进行复用
clk_out	O		PLL 分频时钟输出	SYSCTL_IOMUX_CFG0[0]
boot_mode0	I		bootmode 选择 00, 01: 保留 10: SPI Flash 启动 11: NAND Flash 启动	特殊功能引脚, 不需要软件配置即可使用该功能
boot_mode1	I		bootmode 选择	特殊功能引脚, 不需要软件配置即可使用该功能
boot_clk_cfg0	I		PLL 配置 在采用 12MHZ 参考时钟的情况下, PLL 输出频率分别为: 000: 600MHZ 001: 534MHZ 010: 500MHZ 011: 468MHZ 100: 400MHZ 101: 333MHZ 110: 267MHZ 111: 200MHZ	特殊功能引脚, 不需要软件配置即可使用该功能
boot_clk_cfg1	I		PLL 配置	
boot_clk_cfg2	I		PLL 配置	
PLL 电源/地				
pll_dvdd12	I		PLL 数字电源(1.2V)	电源地, 不需软件配置
pll_dvss12	I		PLL 数字地(对应 1.2V 数字电源)	
pll_avdd12	I		PLL 模拟电源(1.2V)	
pll_avss12	I		PLL 模拟地(对应 1.2V 模拟电源)	
pll_io_vdd			PLL IO 数字电源(1.2V)	
pll_io_vss			PLL IO 数字地(对应 1.2V 数字电源)	
电源/地				



名称	类型	上拉 下拉	功能描述	IO 复用配置寄存器位
pvdd33	I		数字电源(3.3V)	电源地，不需软件配置
pvss33	I		数字地(对应 3.3V 数字电源)	
pvdd12	I		数字电源(1.2V)	
pvss12	I		数字地(对应 1.2V 数字电源)	

注：1. 表中的缩写 I 表示输入，O 表示输出，B 表示双向，U 表示上拉，D 表示下拉。

2. 如果芯片内部的一个信号连接到芯片的两个引脚上，在上面的表格中会有两组信号出现，使用时由软件配置 IO 复用寄存器 SYSCCTL_IOMUX_CFG0 与 SYSCCTL_IOMUX_CFG1 选择其中一组，例如 UART3 接口可以有两组选择：u3_rxd_0、u3_txd_0、u3_txe_0 与 u3_rxd_1、u3_txd_1、u3_txe_1，可通过配置 SYSCCTL_IOMUX_CFG0[6]与 SYSCCTL_IOMUX_CFG0[7]选择其中一组。



3 电气特性

3.1 绝对最大额定值

表 3-1 GSC3281 芯片绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	PVDD33	-0.5	4.6	V
	PVDD12	-0.5	1.8	V
	USB_AVDD33	-0.5	4.6	V
	USB_DVDD12	-0.5	1.8	V
	DDR2_VCC18	-0.5	-	V
	ADC_AVDD	-0.5	4.6	V
	PLL_AVDD12	-0.5	1.8	V
	PLL_DVDD12	-0.5	1.8	V
	PLL_IO_VDD	-0.5	1.8	V
输入电压	V_I	-0.5	4.6	V
输出电压	V_O	-0.5	6.0	V
工作温度	T_{OPT}	-40	+125	°C
存储温度	T_S	-65	+150	°C
ESD 保护	V_{ESD}	-	HBM-2000	V

警告：超过以上临界工作条件，将对器件造成永久性损坏。在临界条件下，无法保证器件可以正常工作。

3.2 推荐工作条件

表 3-2 GSC3281 芯片推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	PVDD33	2.97	3.3	3.63	V
	PVDD12	1.08	1.2	1.32	V
	USB_AVDD33	3.0	3.3	3.6	V
	USB_DVDD12	1.08	1.2	1.32	V
	DDR2_VCC18	1.7	1.8	1.9	V
	ADC_AVDD	3.0	3.3	3.6	V
	ADC_DVDD12	1.08	1.2	1.32	V
	PLL_AVDD12	1.08	1.2	1.32	V
	PLL_DVDD12	1.08	1.2	1.32	V
	PLL_IO_VDD	1.08	1.2	1.32	V
	VBUS	4.65	5	5.25	V
工作环境温度（工业用）	T_A	-40	+25	+85	°C
工作环境温度（商用）	T_A	-40	+25	+70	°C



CPU 时钟	F_{CPU}	-	-	266	MHZ
DDR2 工作时钟	F_{DDR2}	-	-	533	MHZ

3.3 直流特性

表 3-3 GSC3281 芯片直流特性

参数	符号	最小值	典型值	最大值	单位
高电平输入电压	V_{IH}	1.7	-	5.5	V
低电平输入电压	V_{IL}	-0.3	-	0.7	V
高电平输出电压	V_{OH}	2.4	-	-	V
低电平输出电压	V_{OL}	-	-	0.4	V
引脚内置上拉电阻	V_{OL}	62	77	112	Kohm
引脚内置下拉电阻	V_{OL}	48	85	174	Kohm
引脚三态输出泄漏电流	I_{OZ}	-	-	1	uA
VBUS 有效电压	V_{bus}	4.65	-	5.25	V

3.4 复位时序

GSC3281 片内集成有上电复位电路，在开机时会自动产生上电复位信号对整个芯片进行复位，并在延时 $t_{\text{reset_delay}}$ 时间之后退出复位状态，如图 3-1 所示，因此如果产品没有特殊需求，GSC3281 不需要外接系统复位信号即可正常工作。

除了内置上电复位电路之外，GSC3281 也提供了一个系统复位引脚，在该引脚上既可以连接外置上电复位电路，复位时序如图 3-2 所示，也可以连接手动复位电路，复位时序如图 3-3 所示。当外部输入的系统复位信号有效时，GSC3281 芯片将立即复位；当外部输入的系统复位信号变为无效时，为了确保芯片开始工作时 PLL 已处于锁定状态，GSC3281 芯片内部将延时 $t_{\text{reset_delay}}$ 时间之后退出复位状态。

复位延时时间 $t_{\text{reset_delay}}$ 与参考时钟的时钟周期呈线性关系，当采用 12MHZ 参考时钟时， $t_{\text{reset_delay}}$ 时间约为 10.9ms。

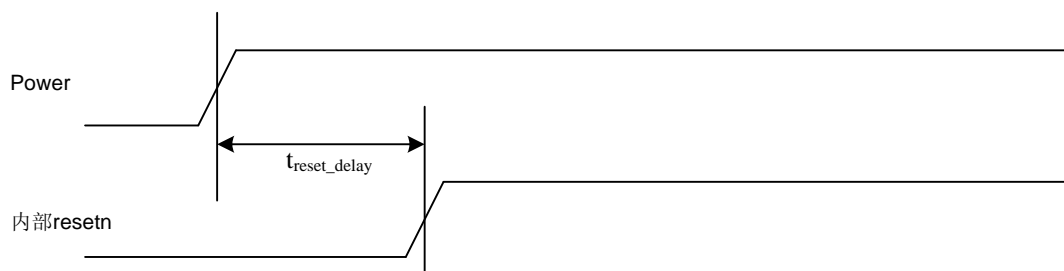


图 3-1 仅使用内部上电复位电路的复位时序

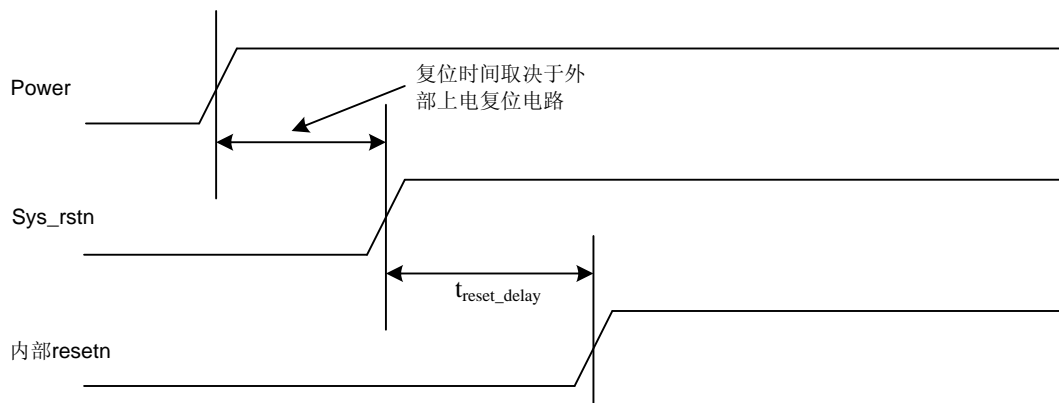


图 3-2 复位引脚 sys_rstn 外接上电复位电路的复位时序

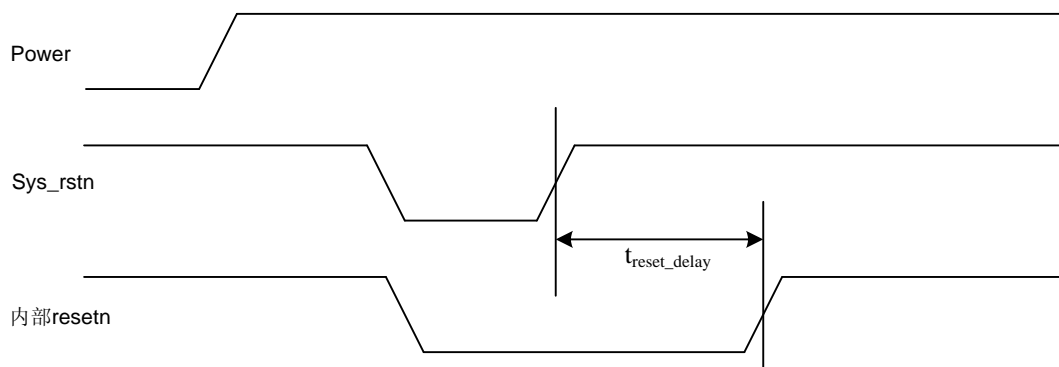


图 3-3 复位引脚 sys_rstn 连接手动复位的复位时序

3.5 上电顺序

GSC3281 芯片需要的电源包括数字 3.3V、数字 1.2V、模拟 3.3V、模拟 1.8V 以及模拟 1.2V 等若干种，为了确保 GSC3281 芯片正常上电，要求模拟 3.3V 电源先于数字 1.2V 上电，如图 3-4 所示；其余电源之间则不要求顺序关系，可根据实际情况适当处理。

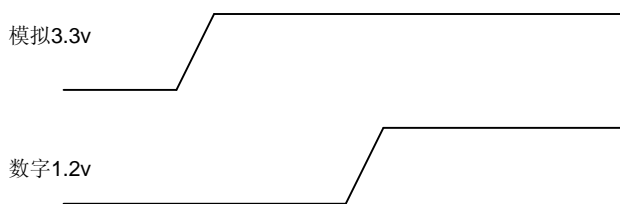


图 3-4 GSC3281 不同电源域上电顺序



4 接口时序

4.1 JTAG

表 4-1 JTAG 时序参数

时序参数	描述	最小值	最大值	单位
T_{TCKcyc}	TCK 时钟周期	25	-	ns
$T_{TCKhigh}$	TCK 高电平时间	10	-	ns
T_{TCKlow}	TCK 低电平时间	10	-	ns
T_{Tsetup}	TMS/TDI 相对于 TCK 的 setup 时间	5	-	ns
T_{Thold}	TMS/TDI 相对于 TCK 的 hold 时间	3	-	ns
T_{TDOout}	TDO 输出延时时间	-	5	ns
$T_{TDOzstate}$	TDO 三态延时时间	-	5	ns
$T_{TRSTNlow}$	TRST 低电平时间	25	-	ns
T_{rf}	JTAG 信号上升下降时间	-	3	ns

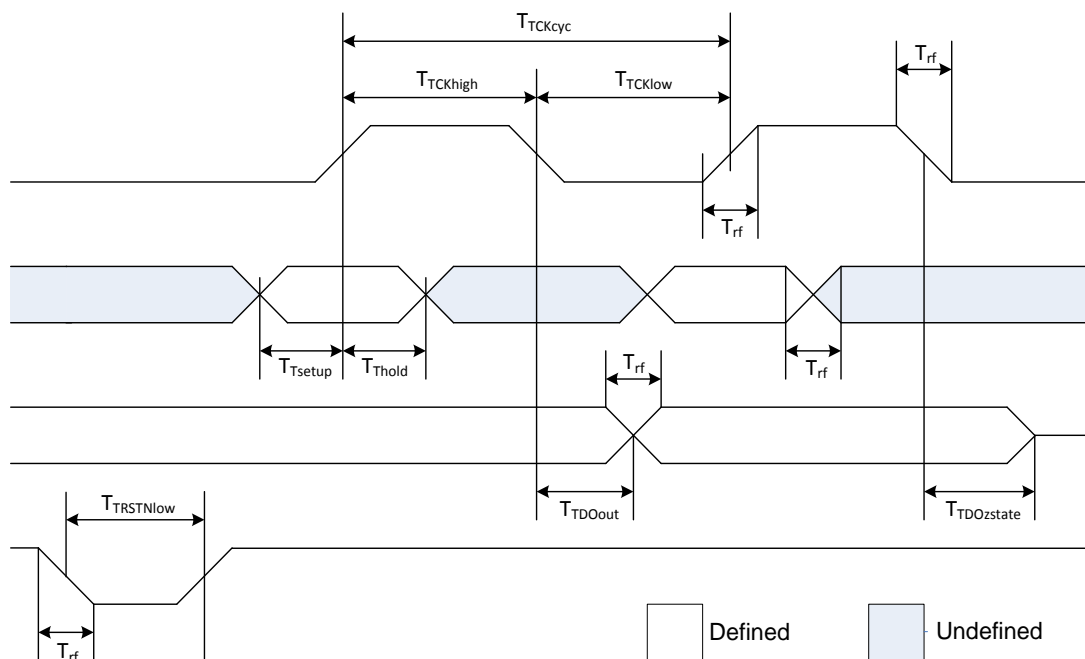


图 4-1 JTAG 工作时序

4.2 DDR2

表 4-2 DDR2 读写操作时序参数

参数	符号	最小值	典型值	最大值	单位
DDR SDRAM Address Delay	tSAD	待测	-	待测	ns
DDR SDRAM Chip Select Delay	tSCSD	待测	-	待测	ns



DDR SDRAM Row active Delay	tSRD	待测	-	待测	ns
DDR SDRAM Column active Delay	tSCD	待测	-	待测	ns
DDR SDRAM Write enable Delay	tSWD	待测	-	待测	ns
DDR SDRAM Output data access time from CK	tSAC	待测	-	待测	ns
DDR SDRAM Write recovery time	tWR	15.0000	-	-	ns
DDR SDRAM Read Preamble	tRPRE	0.9	-	1.1	Tck[注 1]
DDR SDRAM Read Postamble	tRPST	0.4	-	0.6	Tck[注 1]
DDR SDRAM Write Postamble time	tWPST	0.4	-	0.6	Tck[注 1]
DDR SDRAM Clock to valid DQS-In	tDQSS	-0.25	-	0.25	Tck[注 1]
DDR SDRAM DQS-In Setup time	tWPRES	0.35	-	-	Tck[注 1]
DDR SDRAM DQS-In Hold time	tWPREH	0.2	-	-	Tck[注 1]
DDR SDRAM DQS-In high level width	tDQSH	0.35	-	-	Tck[注 1]
DDR SDRAM DQS-In low level width	tDQSL	0.35	-	-	Tck[注 1]
DDR SDRAM read Data Setup time	tDDS	-	-	0.1000	ns

[注 1]: Tck 为 DDR2 的时钟周期。

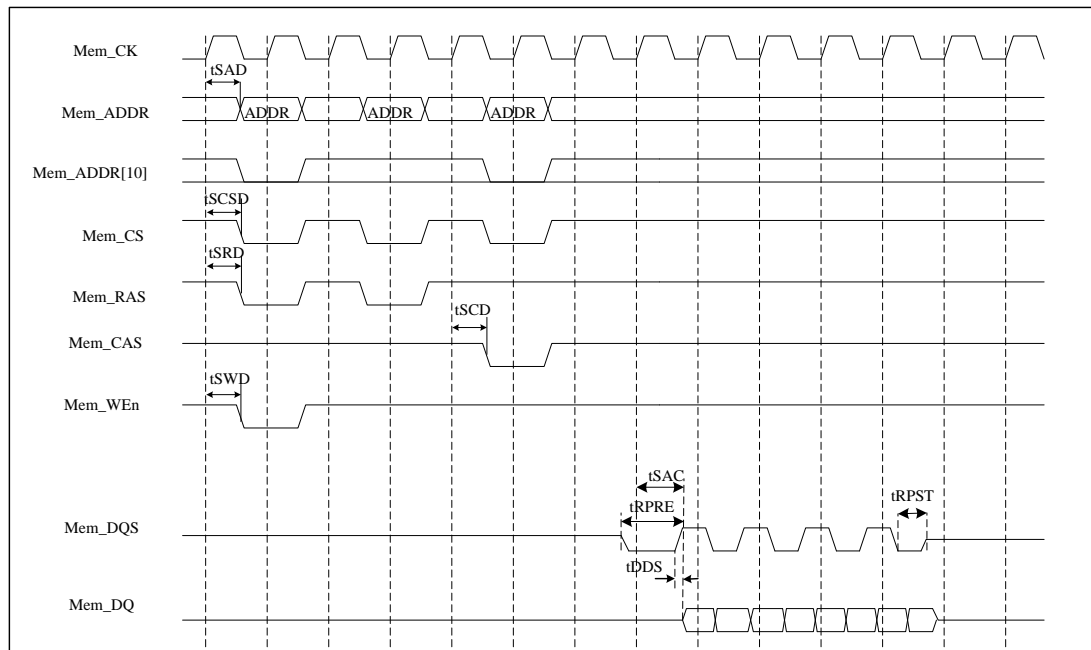


图 4-2 DDR2 SDRAM 读操作时序

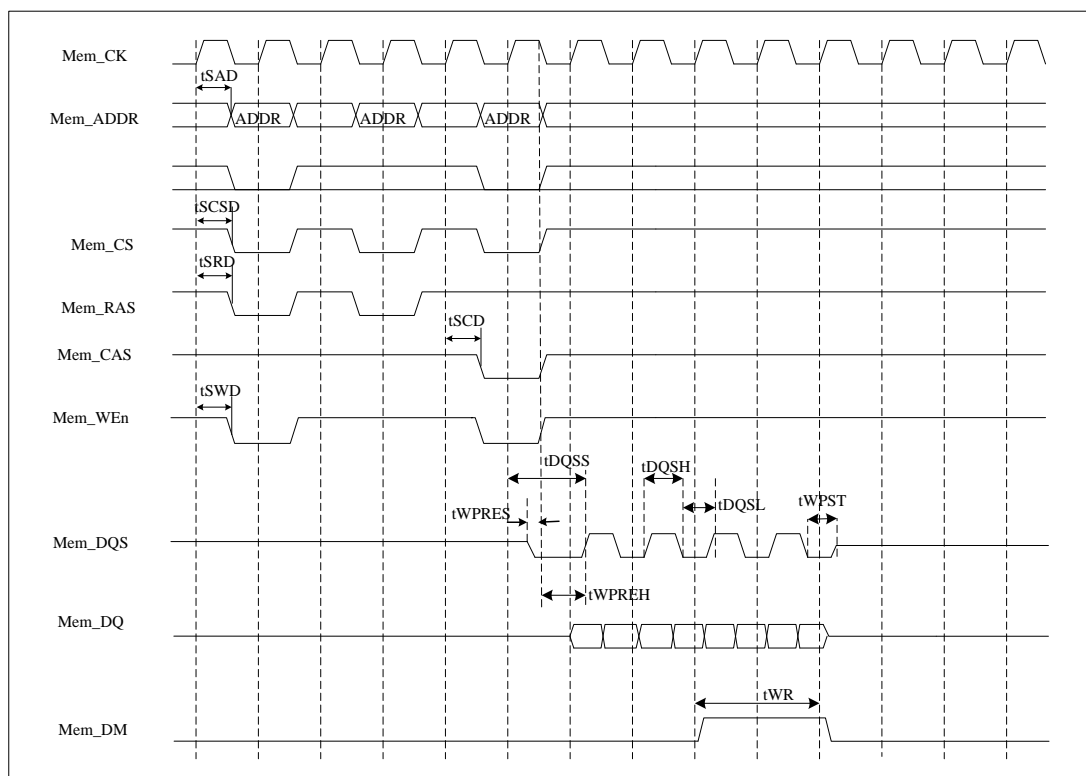


图 4-3 DDR2 SDRAM 写操作时序

4.3 NAND Flash

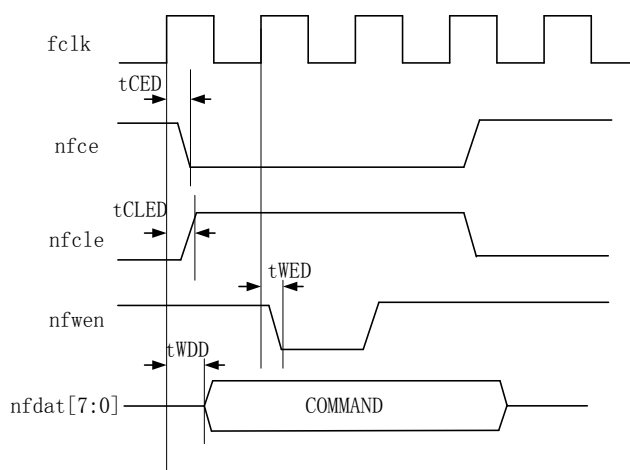


图 4-4 NAND Flash 控制器写命令时序

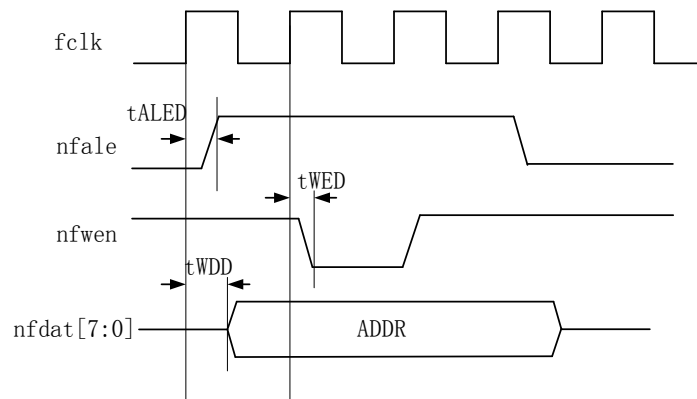


图 4-5 NAND Flash 控制器写地址时序

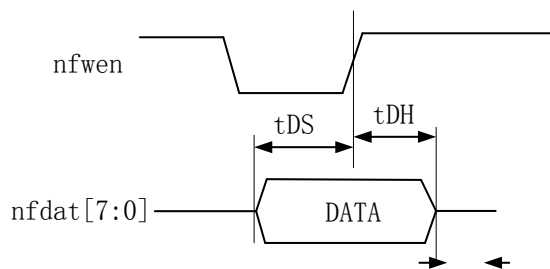


图 4-6 NAND Flash 控制器写数据时序

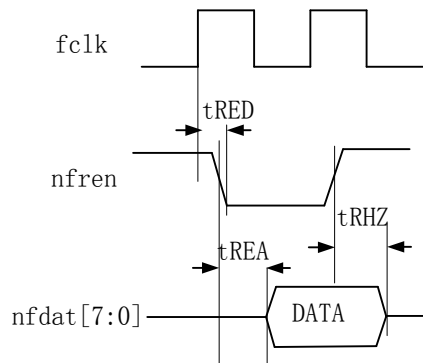


图 4-7 NAND Flash 控制器读数据时序

表 4-3 NAND Flash 控制器时序参数

参数	符号	最小值	典型值	最大值	单位
片选使能延迟	tCED	-	-	5.9	ns
CLE 延迟	tCLED	-	-	6.0	ns
ALE 延迟	tALED	-	-	6.3	ns
写使能延迟	tWED	-	-	6.8	ns
读使能延迟	tRED	-	-	6.4	ns

参数 tDS, tDH, tREA, tRHZ 和 NAND Flash 控制器控制的配置有关, 详见用户手册中的 NFC_CONF 寄存器和 ONFI 协议。



4.4 EMI

4.4.1 EMI 读时序

图 4-8 EMI 读时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0			ns
emi_addr 保持时间	Taddr_h	Thclk			ns
emi_oen 延迟时间	Toen_d		0	3	ns
emi_data 建立时间	Tdata_s	2			ns
emi_data 保持时间	Tdata_h	0			ns

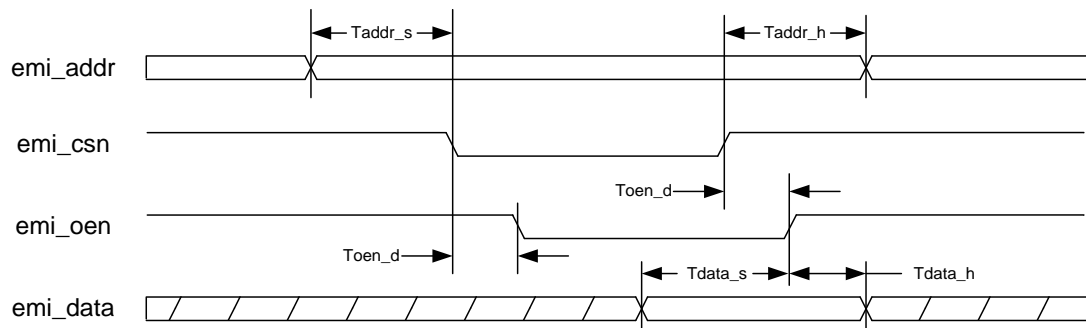


图 4-9 EMI 读时序图

4.4.2 EMI 写时序

表 4-4 EMI 写时序参数

参数	符号	最小值	典型值	最大值	单位
emi_addr 建立时间	Taddr_s	0	3Thclk	3Thclk	ns
emi_addr 保持时间	Taddr_h	0	3Thclk	3Thclk	ns
emi_csn 保持时间	Tcsn_h	0	3Thclk	3Thclk	ns
emi_wen 延迟时间	Twen_d	0	3Thclk	3Thclk	ns
emi_wen 有效持续时间	Twen_pw	1Thclk	10Thclk	64Thclk	ns
emi_data 建立时间	Tdata_s	1Thclk	13Thclk	67Thclk	ns
emi_data 保持时间	Tdata_h	0	3Thclk	3Thclk	ns

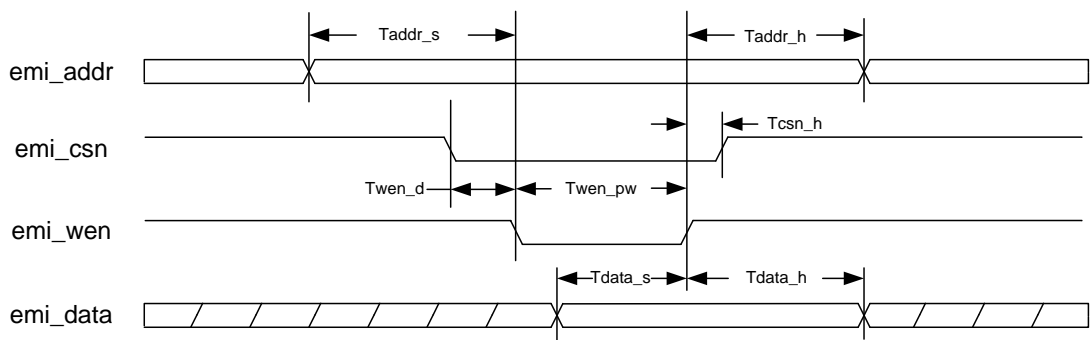


图 4-10 EMI 写时序图

4.5 以太网 MAC

以太网 MAC 控制器支持 RMII 接口模式，有 10Mbps 和 100Mbps 两种带宽（表中以 10M 和 100M 来表示）。

表 4-5 MDIO 接口时序参数

符号	参数	最小值		典型值		最大值		单位
		10M	100M	10M	100M	10M	100M	
T_{pmdc}	MDC 周期	400	400	-	-	-	-	ns
T_{hmdc}	MDC 高电平有效时间	200	200	-	-	-	-	ns
T_{smdi}	MDIO 输入建立时间	20	20	-	-	-	-	ns
T_{hmdi}	MDIO 输入保持时间	20	20	-	-	-	-	ns
T_{dmdo}	MDIO 输出延时	190	190	-	-	210	210	ns

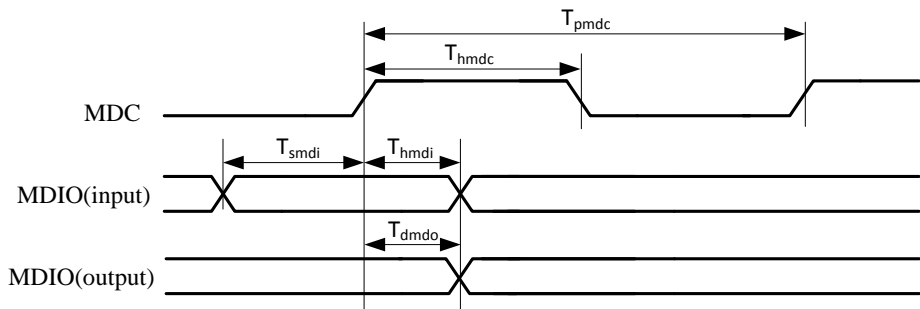


图 4-11 MDIO 接口时序图

表 4-6 RMII 模式接口时序参数

符号	参数	最小值		典型值		最大值		单位
		10M	100M	10M	100M	10Mb	100M	
T_{prmc}	RMCLK 周期	-	-	20	20	-	-	ns
T_{hrmc}	RMCLK 高电平有效时间	-	-	10	10	-	-	ns
T_{srmtx}	RMRXD 建立时间	5	6	-	-	-	-	ns
T_{hrmtx}	RMRXD 保持时间	5	5	-	-	-	-	ns
T_{srmtx}	RMRXD 建立时间	5	6	-	-	-	-	ns



$T_{hrmrxdv}$	RMRXDV 保持时间	5	5	-	-	-	-	ns
$T_{drmtxen}$	RMTXEN 延时	5	5	-	-	13	13	ns
T_{drmtxd}	RMTXD 延时	5	5	-	-	13	13	ns

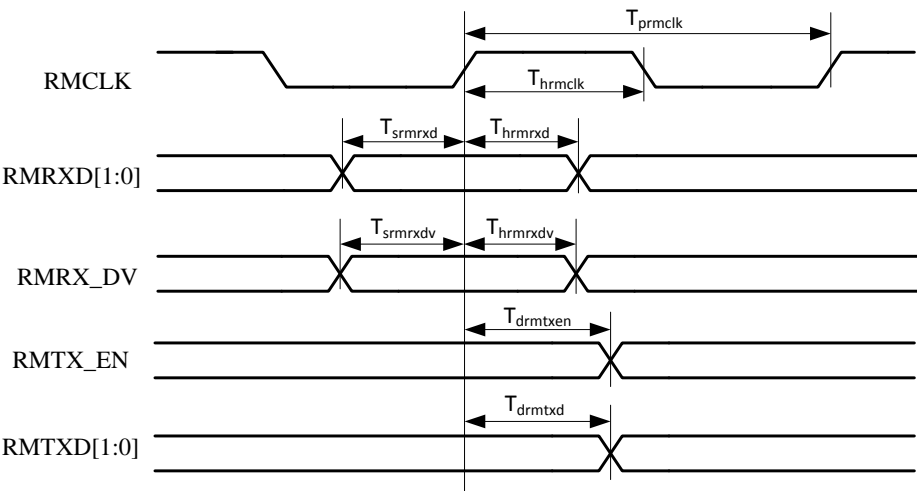


图 4-12 RMII 模式接口时序图

4.6 SPI

表 4-7 SPI 接口参数

参数	符号	最小值	典型值	最大值	单位
SPI MOSI 主机输出延迟时间	tSPIMOD	-	-	0.74	ns
SPI MOSI 主机输出有效时间	tSPIMOV	10.5	-	-	ns
SPI MISO 主机输入建立时间	tSPIMIS	6	-	-	ns
SPI MISO 主机输入有效时间	tSPIMIV	6	-	-	ns

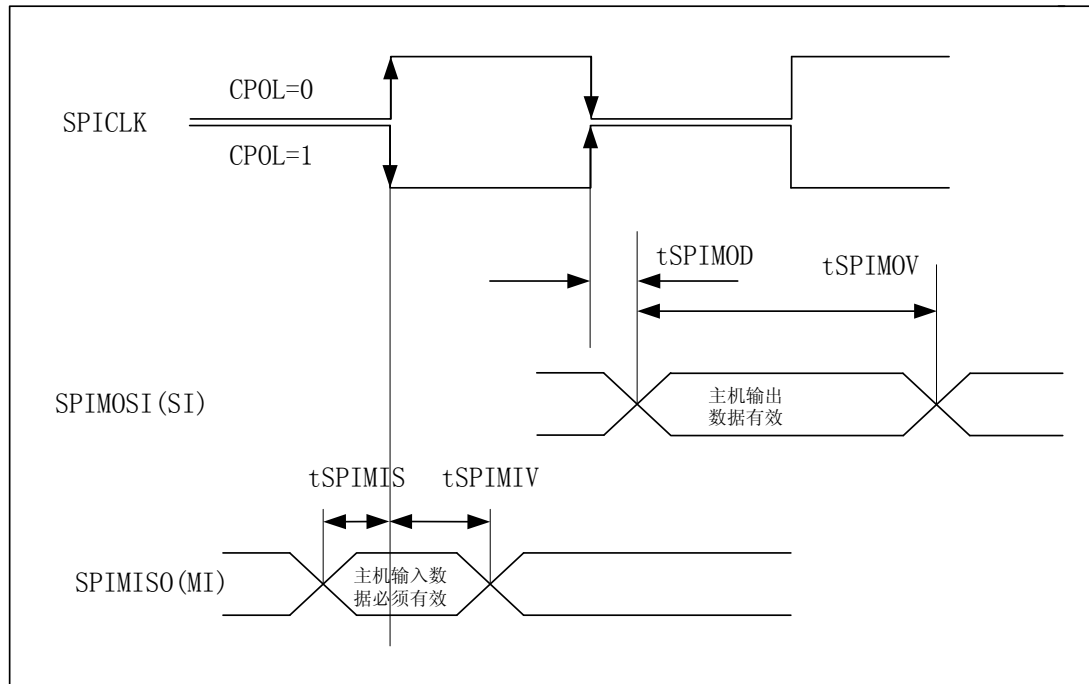


图 4-13 SPI 接口时序图 (CPHA=0)

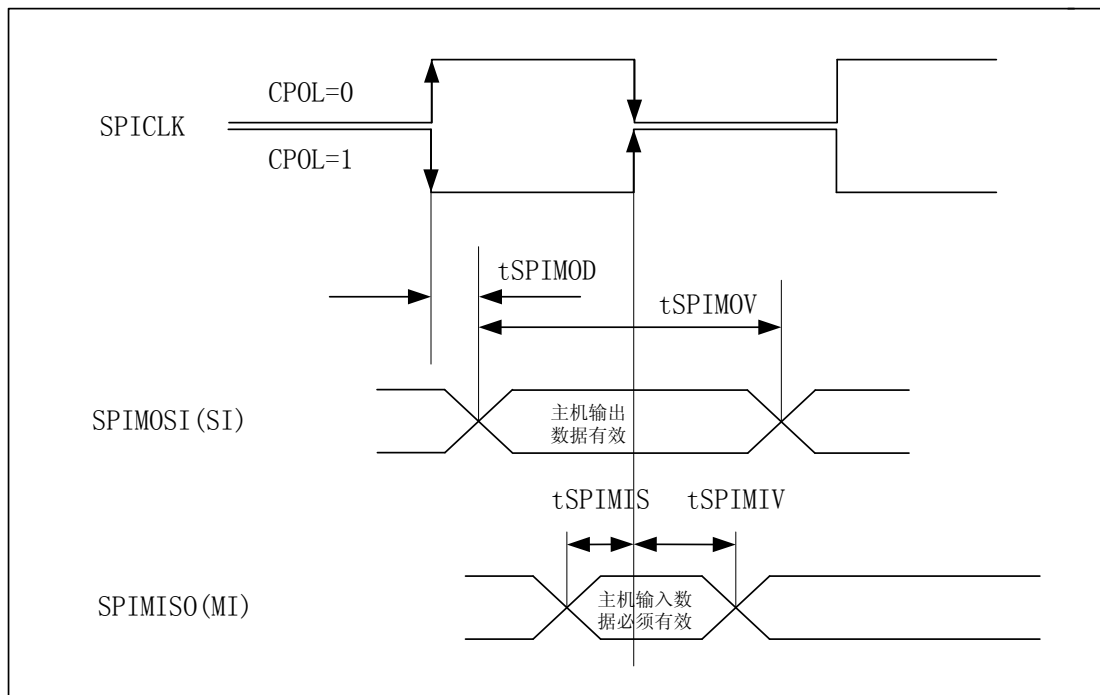


图 4-14 SPI 接口时序图 (CPHA=1)

表 4-8 SPI 启动时序参数

参数	符号	最小值	典型值	最大值	单位
SPI MOSI 主机输出延迟时间	tSPIMOD	-	-	0.74	ns
SPI MOSI 主机输出有效时间	tSPIMOV	10.5	-	-	ns
SPI MISO 主机输入建立时间	tSPIMIS	16	-	-	ns
SPI MISO 主机输入有效时间	tSPIMIV	6	-	-	ns
SPI Flash 启动的时钟周期	tSCK	48	-	-	ns



SPI Flash 片选不选中（为高）时间	tCSH	100	-	-	ns
SPI Flash 时钟有效延迟（相对于片选有效）	tCKD	30	-	-	ns
SPI Flash 片选无效延迟（相对于时钟无效）	tCSD	12	-	-	ns

当配置系统 PLL 输出时钟为 500MHz 时，SPI Flash 的 tCLQV（时钟为低到 Flash 输出有效的延迟）必须小于 8ns。当 PLL 输出时钟为 400MHz 时，SPI Flash 的 tCLQV 不能小于 14ns。

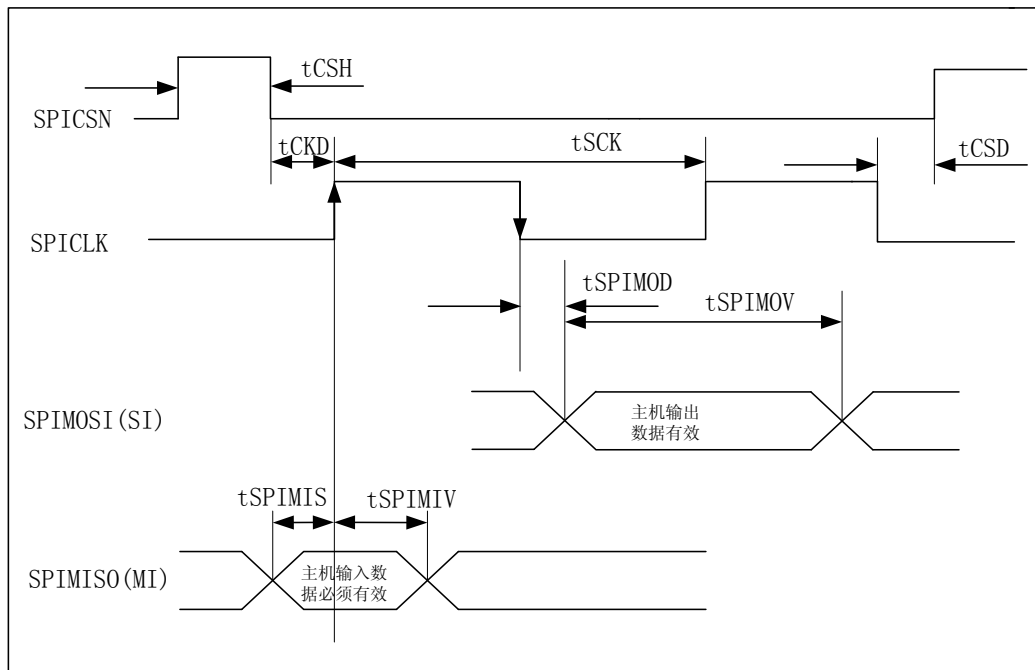


表 4-9 SPI Flash 启动时序图

4.7 I2C

表 4-10 I2C 接口信号时序参数（标准和快速模式）

参数	符号	最小值	典型值	最大值	单位
SCL 时钟频率	f _{SCL}	-	-	标准 100 快速 400	kHz
SCL 高电平脉冲宽度	t _{SCLHIGH}	标准 4.0 快速 0.6	-	-	μs
SCL 低电平脉冲宽度	t _{SCLLOW}	标准 4.7 快速 1.3	-	-	μs
起始和停止条件之间的总线空闲时间	t _{BUF}	标准 4.7 快速 1.3	-	-	μs
起始条件保持时间	t _{STARTS}	标准 4.0 快速 0.6	-	-	μs
SDA 保持时间	t _{SDAH}	0	-	标准 3.45 快速 0.9	μs



SDA 建立时间	t_{SDAS}	标准 250 快速 100	-	-	ns
停止条件建立时间	t_{STOPH}	标准 4.0 快速 0.6	-	-	μs

表 4-11 I2C 接口信号时序参数（高速模式）

参数	符号	最小值	典型值	最大值	单位
SCL 时钟频率	f_{SCL}	-	-	1.7 ($C_b=400pf$) 3.4 ($C_b=100pf$)	MHz
SCL 高电平脉冲宽度	$t_{SCLHIGH}$	120 ($C_b=400pf$) 60 ($C_b=100pf$)	-	-	ns
SCL 低电平脉冲宽度	t_{SCLLOW}	320 ($C_b=400pf$) 160 ($C_b=100pf$)	-	-	ns
起始条件保持时间	t_{STARTS}	160 ($C_b=400pf$) 160 ($C_b=100pf$)	-	-	ns
SDA 保持时间	t_{SDAH}	0	-	150 ($C_b=400pf$) 70 ($C_b=100pf$)	ns
SDA 建立时间	t_{SDAS}	10 ($C_b=400pf$) 10 ($C_b=100pf$)	-	-	ns
停止条件建立时间	t_{STOPH}	160 ($C_b=400pf$) 160 ($C_b=100pf$)	-	-	ns

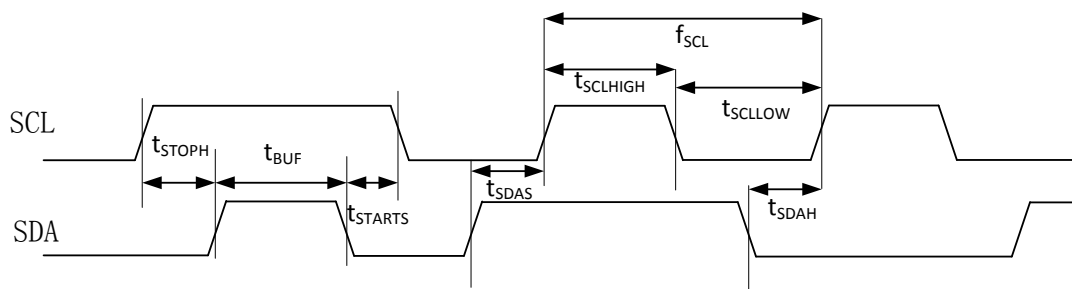


图 4-15 I2C 接口时序图

4.8 I2S

表 4-12 I2S 接口信号时序参数

参数	符号	最小值	典型值	最大值	单位
ws 有效延迟时间	T_{ws_d}	-	0.5Tscclk	0.5Tscclk	ns
sclk 有效到 ws 无效, 或者 ws 无效到 sclk 有效间保持时间	T_{ws_h}	0	-	-	ns
sdi 建立时间	T_{sdi_s}	10	-	-	ns
sdi 保持时间	T_{sdi_h}	0	-	-	ns
sdo 延迟时间	T_{sdo_h}	0.5Tscclk	0.5Tscclk	-	ns
sdo 保持时间	T_{sdo_d}	-	0.5Tscclk	0.5Tscclk	ns

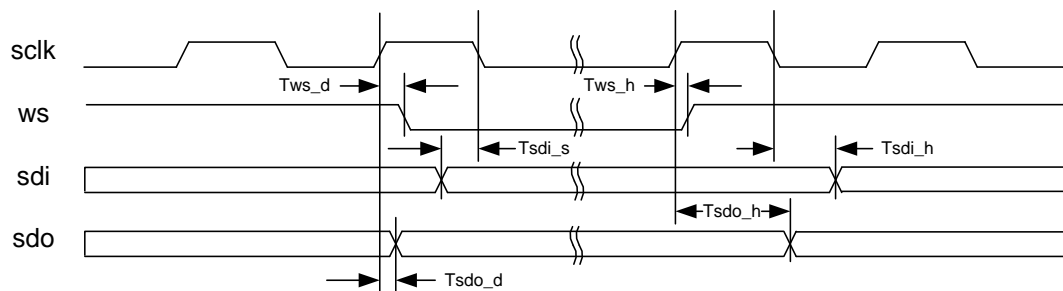


图 4-16 I2S 接口信号时序图



5 修订历史

表 5-1 GSC3281 数据手册修订历史

序号	芯片版本	修订内容	修订时间
1	GSC3281	发布正式版本	2013-01-15
2	GSC3281	发布公开版本	2013-06-24